

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-010076

(43)Date of publication of application : 14.01.2000

(51)Int.Cl.

G02F 1/133

(21)Application number : 10-177146

(71)Applicant : CANON INC

(22)Date of filing : 24.06.1998

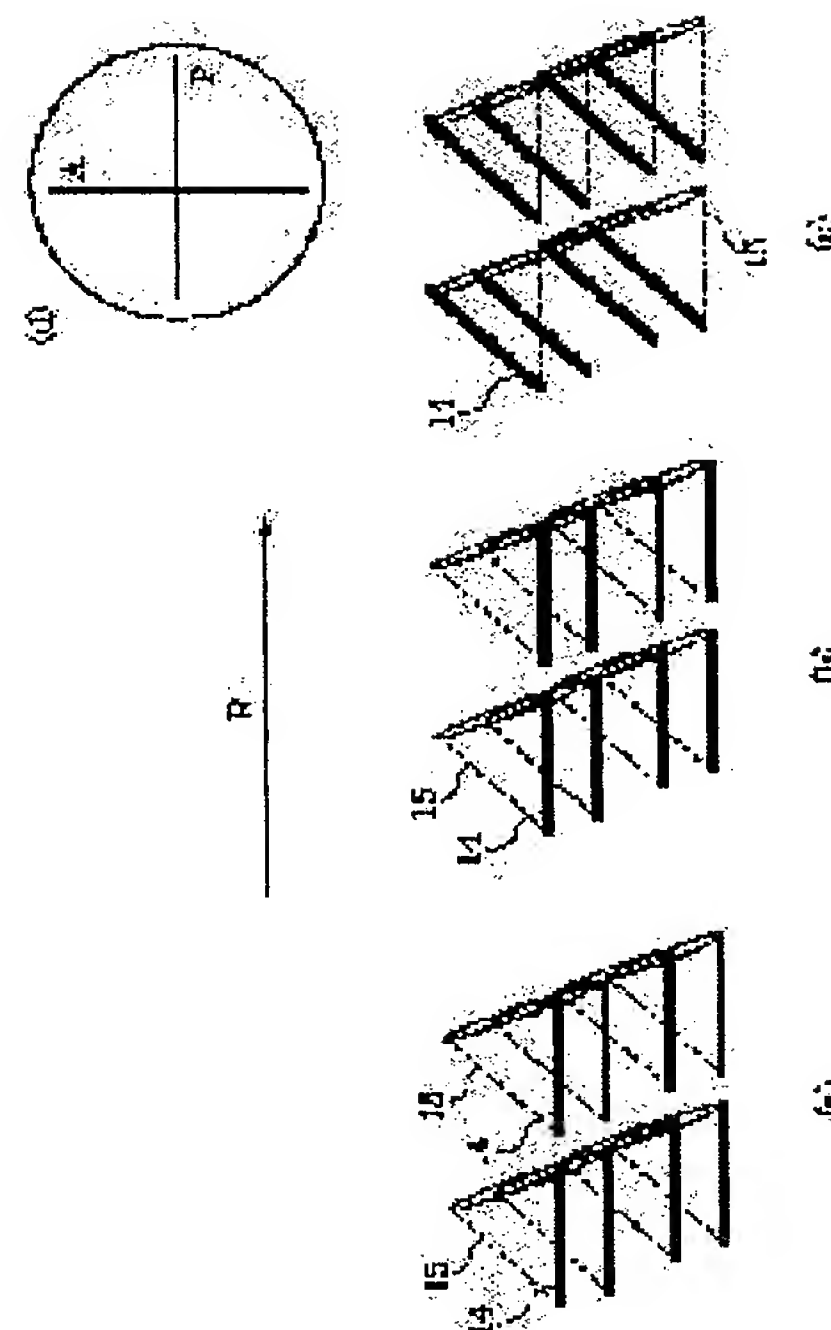
(72)Inventor : ASAO YASUSHI
TERADA MASAHIRO
TOKANO GOJI
MORI YOSHIMASA
MORIYAMA TAKASHI
NAKAMURA SHINICHI

(54) LIQUID CRYSTAL ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To enable high-speed response and gradation control and to obtain a liquid crystal element having excellent animation image quality by tilting the average molecular axis of liquid crystals to one side from a monostabilized position at an angle meeting the magnitude of impressed voltage at the time of voltage impression of a first polarity and maintaining the monostabilized position at the time of voltage impression of a second polarity which is a reverse polarity.

SOLUTION: At the time of voltage non-impression, liquid crystal molecules 14 array stably approximately along an average uniaxially oriented direction (arrow make R) to one end side of a virtual cone 15 which executes switching by the voltage impression. When, for example, the refractive index anisotropy possessed by the liquid crystals is defined as Δn and a cell thickness as (d) and when Δnd is set near the half wave of visible light, the liquid crystal molecules 14 tilt to a direction meeting the polarity of the voltage when the voltage of the first polarity (positive polarity) is impressed (c). On the other hand, the liquid crystal molecules 14 stain at the position (b) similar to the position at the time of the voltage non-impression when the voltage of the second polarity (negative polarity) of the polarity reverse from the first polarity is impressed.



<Japanese Patent Application Publication No.
2000-10076>

Paragraph [0030]

Further, in the first and second liquid crystal elements of the present invention, the layer structure is arranged to one of the layer structures out of the two shown in FIG. 5 by conducting the followings: first, cell design is arranged using appropriate liquid crystal materials, and then a process of causing imbalance in inner potential in a cell during a step of Ch-SmC* phase transition of the liquid crystal materials is carried out. In other words, a direction of gap caused between the average uniaxial alignment process axis and the smectic layer normal line is made to a given direction, and the liquid crystal molecule 14 is monostabilized to one edge of the virtual corn 15 so that an alignment state of SmC* phase with memory properties of the molecules are offset is obtained. Various methods for causing the imbalance in inner potential such as below are considered and either method can be employed:

- 1) applying a DC voltage of positive or negative between a pair of substrates at the time of Ch-SmC* phase transition or I-SmC* phase transition;
- 2) using alignment layers made of different materials for a pair of upper and lower substrates;
- 3) changing process (process conditions such as film forming conditions, rubbing strength, UV irradiation) for alignment layers of a pair of upper and lower substrates; and
- 4) changing a type or thickness of a layer provided as an under layer of alignment layers of a pair of upper and lower substrates.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-10076
(P2000-10076A)

(43)公開日 平成12年1月14日(2000.1.14)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
G 0 2 F 1/133	5 6 0	G 0 2 F 1/133	2 H 0 9 3

審査請求 未請求 請求項の数20 O L (全 20 頁)

(21)出願番号 特願平10-177146

(22)出願日 平成10年6月24日(1998.6.24)

(71)出願人 000001007
キヤノン株式会社
東京都大田区下丸子3丁目30番2号

(72)発明者 浅尾 恭史
東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72)発明者 寺田 国宏
東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(74)代理人 100069877
弁理士 丸島 儀一

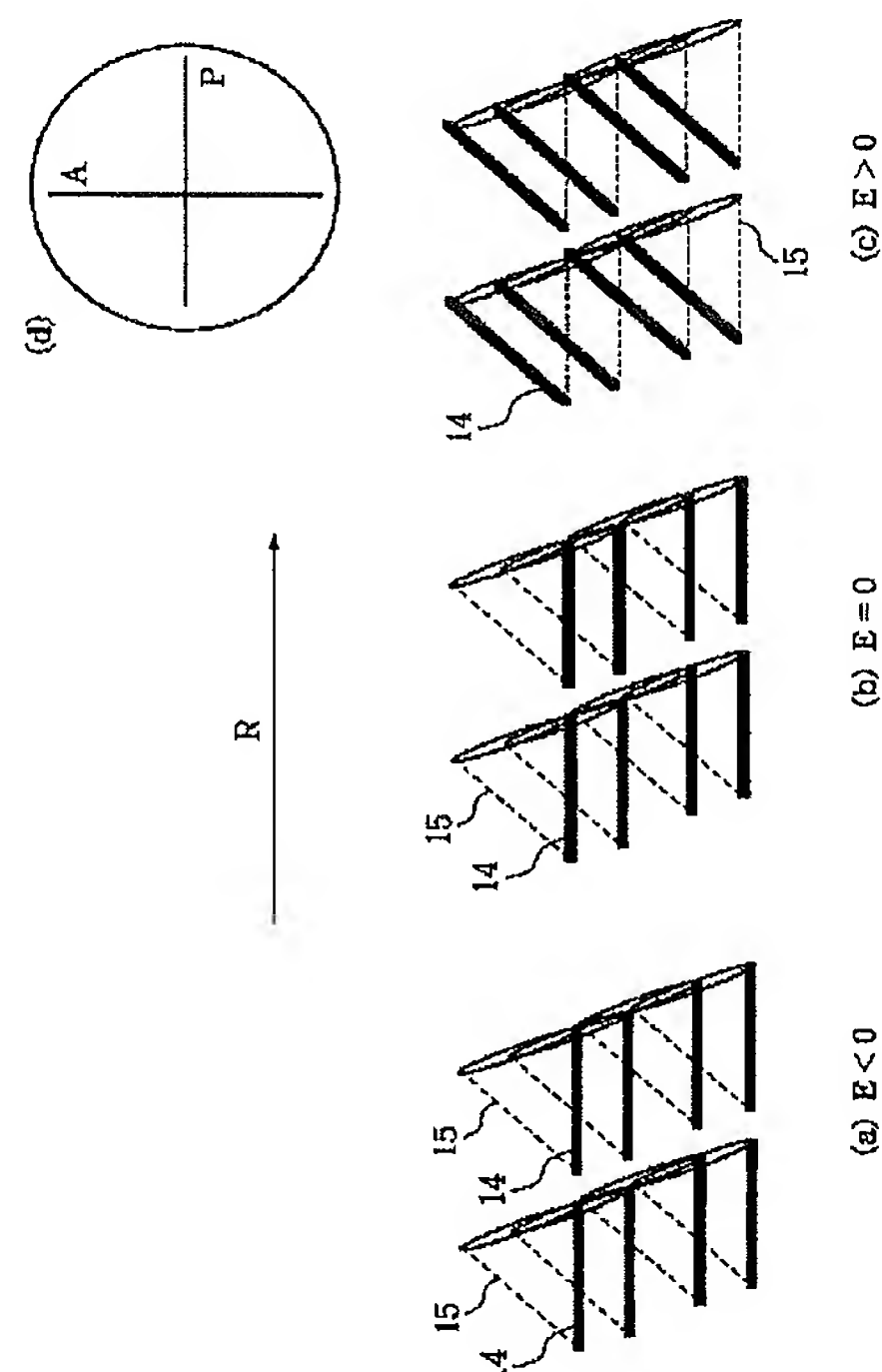
最終頁に続く

(54)【発明の名称】 液晶素子

(57)【要約】

【課題】 カイラルスメクチック液晶を用いた液晶素子で階調表示及び良好な動画像を得る。

【解決手段】 カイラルスメクチック液晶と、該液晶に電圧を印加する一対の電極と、該液晶を挟持して対向すると共に少なくとも一方の対向面に該液晶を配向させるための一軸性配向処理が施された一対の基板と、少なくとも一方の基板に偏光板を備えた液晶素子であって、電圧無印加時では、該液晶の平均分子軸が単安定化された第一の状態を示し、第一の極性の電圧印加時には、該液晶の平均分子軸は印加電圧の大きさに応じた角度で該単安定化された位置から一方の側にチルトし、該第一の極性とは逆極性の第二の極性の電圧印加時には、該液晶の平均分子軸は該単安定化された位置を維持することとを特徴とする。



【特許請求の範囲】

【請求項 1】 カイラルスメクチック液晶と、該カイラルスメクチック液晶に電圧を印加する一対の電極と、該液晶を挟持して対向すると共に少なくとも一方の対向面に該液晶を配向させるため一軸性配向処理が施された一対の基板と、少なくとも一方の基板に偏光板とを備えた液晶素子であって、

電圧無印加時では、該液晶の平均分子軸が単安定化された第一の状態を示し、第一の極性の電圧印加時には、該液晶の平均分子軸は印加電圧の大きさに応じた角度で該単安定化された位置から一方の側にチルトし、該第一の極性とは逆極性の第二の極性の電圧印加時には、該液晶の平均分子軸は該単安定化された位置を維持することと、

三角波印加時における電圧－素子を通過する光の透過率曲線において、第一の極性の電圧印加時における下記 γ 値が 3 以上でかつ下記ヒステリシスパラメータ値 T_{diff}

[%] が 50 % 以下であることを特徴とする液晶素子。

$$\gamma = V_{95\%} / V_{5\%}$$

$V_{5\%}$: 透過率が 5 % に達する電圧

$V_{95\%}$: 透過率が 95 % に達する電圧

ヒステリシスパラメータ値 T_{diff} [%] = $T_d - T_u$

V_u : 立ち上がり時において透過率 50 % に達する電圧

V_d : 立ち下がり時において透過率 50 % に達する電圧

T_u [%] : 上記 2 つの平均電圧 $(V_u + V_d) / 2$ 印加時の立ち上がり曲線での透過率値

T_d [%] : 上記 2 つの平均電圧 $(V_u + V_d) / 2$ 印加時の立ち下がり曲線での透過率値

【請求項 2】 前記素子からの出射光量が、前記第一の状態において第一の光量となり、前記第一の極性の電圧印加時には、液晶の平均分子軸の所定のチルト状態で該第一の光量と最も異なる大きさの第二の光量となり、該出射光量は、前記第一の極性の電圧の大きさにより液晶の平均分子軸の前記単安定化された位置からのチルトの角度を変化させることで、該第一及び第二の光量間で連続的に可変となることを特徴とする請求項 1 記載の液晶素子。

【請求項 3】 前記第一の光量が前記液晶素子からの出射光量の中で最低値であり、前記第二の光量が、前記素子からの出射光量の中で最大値である請求項 2 記載の液晶素子。

【請求項 4】 前記カイラルスメクチック液晶の相転移系列が、高温側より、等方性液体相－コレステリック相－カイラルスメクチック相、又は等方性液体相－カイラルスメクチック C 相であることを特徴とする請求項 1 記載の液晶素子。

【請求項 5】 前記カイラルスメクチック液晶のバルク状態でのらせんピッチはセル厚の 2 倍より長い請求項 1 記載の液晶素子。

【請求項 6】 複数の画素を有し、前記一対の基板のう

ち一方が、画素に対応する電極に接続したアクティブ素子を有する基板であり、アナログ階調表示を行う駆動回路を備えたことを特徴とする請求項 1 記載の液晶素子。

【請求項 7】 前記素子からの出射光量が、前記第一の状態において第一の光量となり、前記第一の極性の電圧印加時には、液晶の平均分子軸の所定のチルト状態で該第一の光量と最も異なる大きさの第二の光量となり、該出射光量は、前記第一の極性の電圧の大きさにより液晶の平均分子軸の前記単安定化された位置からのチルトの角度を変化させることで、該第一及び第二の光量間で連続的に可変となることと、

複数の画素を有し、前記一対の基板のうち一方が、画素に対応する電極に接続したアクティブ素子を有する基板であり、アクティブマトリクス駆動を行う駆動回路を備えることと、

該駆動回路は、一画素において出射光量を変化させて所望の階調表示を行う回路であって、所望の階調表示に相応する該第一の光量及び該第二の光量間の大きさの光量以上を得るための電圧値以上の第一の極性の電圧を印加する第一の期間と、該第一の光量を得るための第二の極性の電圧を該液晶に印加する第二の期間からなる駆動信号を供給するものであり、該第一の期間及び該第二の期間を合わせた期間で、該所望の階調表示を行うことを特徴とする請求項 1 乃至 3 のいずれかに記載の液晶素子。

【請求項 8】 透過型液晶素子である請求項 1 乃至 7 のいずれかに記載の液晶素子。

【請求項 9】 反射型液晶素子である請求項 1 乃至 7 のいずれかに記載の液晶素子。

【請求項 10】 カイラルスメクチック液晶と、該液晶に電圧を印加する一対の電極を、該液晶を挟持して対向すると共に少なくとも一方の対向面に該液晶を配向させるための一軸性配向処理が施された一対の基板と、少なくとも一方の基板に偏光板を備えた液晶素子であって、電圧無印加時では、該液晶の平均分子軸が単安定化された第一の状態を示し、第一の極性の電圧印加時には、該液晶の平均分子軸は印加電圧の大きさに応じた角度で該単安定化された位置から一方の側にチルトし、該第一の極性とは逆極性の第二の極性の電圧印加時には、該液晶の平均分子軸は該単安定化された位置を維持することと、

前記一対の基板のうち一方が、画素に対応する電極に接続したアクティブ素子を有する基板であり、アクティブマトリクス駆動によりアナログ階調表示を行う駆動回路を備えたことと、

該カイラルスメクチック液晶の体積抵抗値が $5 \times 10^{11} \Omega \cdot \text{cm}$ 以上であり、該液晶の自発分極を P_s (nC / cm^2)、アクティブマトリクス駆動における一画素の一選択期間開始時から次の選択期間開始時までの期間における内部イオンの再配置分を Q_t (nC / cm^2) と

して $(2P_s + Q_t)$ が $30 \text{ (nC/cm}^2\text{)}$ 以下であることを特徴とする液晶素子。

【請求項 11】 前記 $(2P_s + Q_t)$ が $12 \text{ (nC/cm}^2\text{)}$ 以下であることを特徴とする請求項 10 記載の液晶素子。

【請求項 12】 前記素子からの出射光量が、前記第一の状態において第一の光量となり、前記第一の極性の電圧印加時においては、液晶の平均分子軸の所定のチルト状態において第二の光量となり、該出射光量は、前記第一の極性の電圧の大きさにより液晶の平均分子軸の前記単安定化された位置からのチルトの角度を変化させることで、該第一及び第二の光量間で連続的に可変となることを特徴とする請求項 10 記載の液晶素子。

【請求項 13】 前記第一の光量が前記液晶素子からの出射光量の中で最低値であり、前記第二の光量が、前記素子からの出射光量の中で最大値である請求項 12 記載の液晶素子。

【請求項 14】 前記カイラルスメクチック液晶の相転移系列が、高温側より、等方性液体相－コレステリック相－カイラルスメクチック相、又は等方性液体相－カイラルスメクチック相であることを特徴とする請求項 10 記載の液晶素子。

【請求項 15】 前記カイラルスメクチック液晶のバルク状態でのらせんピッチはセル厚の 2 倍より長い請求項 10 記載の液晶素子。

【請求項 16】 前記素子からの出射光量が、前記第一の状態において第一の光量となり、前記第一の極性の電圧印加時においては、液晶の平均分子軸の所定チルト状態で該第一の光量とは最も異なる大きさの第二の光量となり、該出射光量は、前記第一の極性の電圧の大きさにより液晶の平均分子軸の前記単安定化された位置からのチルトの角度を変化させることで、該第一及び第二の光量間で連続的に可変となることと、複数の画素を有し、前記一对の基板のうち一方が、画素に対応する電極に接続したアクティブ素子を有する基板であり、アクティブマトリクス駆動を行う駆動回路を備えることと、該駆動回路は、一画素において出射光量を変化させて所望の階調表示を行う回路であって、所望の階調表示に相応する該第一の光量及び該第二の光量間の大きさの光量以上を得るための電圧値以上の第一の極性の電圧を印加する第一の期間と、該第一の光量を得るための第二の極性の電圧を該液晶に印加する第二の期間からなる駆動信号を供給するものであり、該第一の期間及び該第二の期間を合わせた期間で、該所望の階調表示を行うことを特徴とする請求項 10 記載の液晶素子。

【請求項 17】 透過型液晶素子である請求項 10 乃至 16 のいずれかに記載の液晶素子。

【請求項 18】 反射型液晶素子である請求項 10 乃至

16 のいずれかに記載の液晶素子。

【請求項 19】 カイラルスメクチック液晶と、該液晶に電圧を印加する一对の電極と、該液晶を挟持して対向すると共に少なくとも一方の対向面に該液晶を配向させるための一軸性配向処理が施された一对の基板と、少なくとも一方の基板に偏光板とを備えた液晶素子であって、

電圧無印加時では、該液晶の平均分子軸が単安定化された第一の状態を示し、第一の極性の電圧印加時には、該液晶の平均分子軸は印加電圧の大きさに応じた角度で該単安定化された位置から一方の側にチルトし、該第一の極性とは逆極性の第二の極性の電圧印加時には、該液晶の平均分子軸は該単安定化された位置を維持すること

と、前記一对の基板のうち一方が、画素に対応する電極に接続したアクティブ素子を有する基板であり、アクティブマトリクス駆動によりアナログ階調表示を行う駆動回路を備えたことと、

該カイラルスメクチック液晶の体積抵抗値が $5 \times 10^{11} \Omega \text{ cm}$ 以上であり、該液晶の自発分極を $P_s \text{ (nC/cm}^2\text{)}$ 、アクティブマトリクス駆動における一画素の一選択期間開始時から次の選択期間の開始時までの期間における内部イオンの再配置分を $Q_t \text{ (nC/cm}^2\text{)}$ として $(2P_s + Q_t)$ が $30 \text{ (nC/cm}^2\text{)}$ 以下であることと、

三角波印加時における電圧－素子を通過する光の透過率曲線において、第一の極性の電圧印加時における下記 γ 値が 3 以上でかつ下記ヒステリシスパラメータ値 T_{diff} [%] が 50 % 以下であることを特徴とする液晶素子。

$$\gamma = V_{95\%} / V_{5\%}$$

$V_{5\%}$: 透過率が 5 % に達する電圧

$V_{95\%}$: 透過率が 95 % に達する電圧

ヒステリシスパラメータ値 T_{diff} [%] = $T_d - T_u$

V_u : 立ち上がり時において透過率 50 % に達する電圧

V_d : 立ち下がり時において透過率 50 % に達する電圧

T_u [%] : 上記 2 つの平均電圧 $(V_u + V_d) / 2$ 印加時の立ち上がり曲線での透過率値

T_d [%] : 上記 2 つの平均電圧 $(V_u + V_d) / 2$ 印加時の立ち下がり曲線での透過率値

【請求項 20】 前記 $(2P_s + Q_t)$ が $12 \text{ (nC/cm}^2\text{)}$ 以下であることを特徴とする請求項 19 記載の液晶素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はフラットパネルディスプレイ、プロジェクションディスプレイ、プリンター等に用いられるライトバルブに使用される液晶素子、該素子における液晶の配向制御方法に関する。

【0002】

【従来の技術】 従来より、ネマティック液晶表示素子に

において、一つ一つの画素にトランジスタ（例えば薄膜トランジスタ／TFT）のような能動素子を配置した、アクティブマトリクスといわれる液晶素子の開発が行われている。現在このアクティブマトリクス型の液晶表示素子に用いられるネマチック液晶のモードとして、たとえばエム・シャット（M. Schadt）とダブリュー・ヘルフリッヒ（W. Helfrich）著 *Applied Physics Letters* 第18巻、第4号（1971年2月15日発行）第127頁から128頁において示されたツイステッドネマチック（Twisted Nematic）モードが広く用いられている。また、最近では横方向電圧を利用したインプレインスイッチング（In-Plane Switching）モードが発表されており、ツイステッドネマチックモード液晶ディスプレイの欠点であった視野角特性の改善がなされている。その他、上述したTFT等の能動素子を用いない、ネマティック液晶表示素子の代表例として、スーパーツイステッドネマティック（Super Twisted Nematic）モードがある。このように、こうしたネマティック液晶を用いた液晶表示素子は様々なモードが存在するのであるが、そのいずれのモードの場合にも液晶の応答速度が数十ミリ秒以上かかってしまうという問題点が存在した。

【0003】このような従来型のネマティック液晶素子の欠点を改善するものとして、液晶が双安定性を示す素子（SSFLC／Surface Stabilized FLC）がクラーク（Clark）およびラガウェル（Lagerwall）により提案されている（特開昭56-107216号公報、米国特許第4367924号明細書）。この双安定性を示す液晶としては、一般にカイラルスメクティックC相を示す強誘電性液晶が用いられている。この強誘電性液晶では、電圧印加の際に液晶分子の自発分極に電圧が作用し分子の反転スイッチングがなされるため、非常に速い応答速度が得られる上にメモリー性のある双安定状態を発現させることができる。さらに視野角特性も優れていることから、高速、高精細、大面積の表示素子あるいはライトバルブとして適していると考えられる。更に、カイラルスメクティックC相を示す強誘電性液晶にアクティブマトリクス素子を組み合わせた素子が提案されている（特開平4-212126等）。

【0004】一方、最近では反強誘電性液晶（無閾反強誘電性液晶）とアクティブマトリクス素子との組み合わせ電圧－透過率特性がV字型形状を示す素子が注目されている。この反強誘電性液晶も強誘電性液晶同様に、液晶分子の自発分極への作用により分子の反転スイッチングがなされるため、非常に速い応答速度が得られる。この液晶材料は、電界無印加時には液晶分子は互いの自発分極を打ち消し合うような分子配列構造をとるため、電界を印加しない状態では自発分極は存在しないことが特

徴となっている。

【0005】こうした自発分極による反転スイッチングを行う強誘電性液晶や反強誘電性液晶は、いずれもスメクチック液晶相を示す液晶である。すなわち、従来ネマティック液晶が抱えていた応答速度に関する問題点を解決できるという意味において、スメクティック液晶を用いた液晶表示素子の実現が期待されている。

【0006】

【発明が解決しようとする課題】このように、高速応答性能など次世代のディスプレイ等に自発分極を有するスメクティック液晶が期待されているが、単に応答速度を高めるだけでは、人間の感じる動画高速応答特性が得られないことが最近の研究（信学技報EID96-4p.19など）から明らかになってきている。これらの研究結果では、人間が動画表示が高速であると感じる手法として、シャッターを用いて時間開口率を50%以下にする方式、または2倍速表示方式を用いることにより動画質改善に効果的であるとの結論が得られている。

【0007】しかしながら、従来型のネマティック相を用いるモードでは液晶の応答速度が不十分であるため、上述の動画表示方法を用いることができないことはもとより、上述したような高速応答のカイラルスメクチック液晶素子を用いて上述の高速での良好な動画表示を実現するためには、駆動方法や周辺回路が複雑になるという欠点を持っており、コストアップの要因となっていた。

【0008】本発明はこのような問題点に鑑みてなされたもので、その課題とするところは、カイラルスメクチック相を示す液晶を用いた液晶素子であって、高速応答かつ階調制御が可能であり、複雑な回路を用いなくとも動画質が向上した安価な液晶素子を提供することである。

【0009】

【課題を解決するための手段】本発明の第一によれば、カイラルスメクチック液晶と、該液晶を挟持して対向すると共に少なくとも一方に該液晶を配向させるための一軸性配向処理が施された一对の基板と、少なくとも一方の基板に偏光板を備えた液晶素子であって、電圧無印加時には、該液晶に電圧を印加する一对の電極と、該液晶の平均分子軸が単安定化された第一の状態を示し、第一の極性の電圧印加時には、該液晶の平均分子軸は印加電圧の大きさに応じた角度で該単安定化された位置から一方の側にチルトし、該第一の極性とは逆極性の第二の極性の電圧印加時には、該液晶の平均分子軸は該単安定化された位置を維持することと、三角波印加時における電圧－透過率曲線において、第一の極性の電圧印加時における下記 γ 値が3以上でかつ下記ヒステリシスパラメータ値 T_{diff} [%] が50%以下であることを特徴とする液晶素子、

$$\gamma = V_{95\%} / V_{5\%}$$

$V_{5\%}$: 透過率が5%に達する電圧

$V_{95\%}$: 透過率が 95% に達する電圧

ヒステリシスパラメータ値 T_{diff} [%] = $T_d - T_u$

V_u : 立ち上がり時において透過率 50% に達する電圧

V_d : 立ち下がり時において透過率 50% に達する電圧

T_u [%] : 上記 2 つの平均電圧 $(V_u + V_d)/2$ 印加時の立ち上がり曲線での透過率値

T_d [%] : 上記 2 つの平均電圧 $(V_u + V_d)/2$ 印加時の立ち下がり曲線での透過率値

が提供される。

【0010】また、本発明の第二によれば、カイラルスメクチック液晶と、該液晶に電圧を印加する一対の電極と、該液晶を挟持して対向すると共に少なくとも一方の対向面に該液晶を配向させるための一軸性配向処理が施された一対の基板と、少なくとも一方の基板に偏光板を備えた液晶素子であって、電圧無印加時では、該液晶の平均分子軸が単安定化された第一の状態を示し、第一の極性の電圧印加時には、該液晶の平均分子軸は印加電圧の大きさに応じた角度で該単安定化された位置から一方の側にチルトし、該第一の極性とは逆極性の第二の極性の電圧印加時には、該液晶の平均分子軸は該単安定化された位置を維持することと、前記一対の基板のうち一方が、画素に対応する電極に接続したアクティブ素子を有する基板であり、アクティブマトリクス駆動によりアナログ階調表示を行う駆動回路を備えたことと、該カイラルスメクチック液晶の体積抵抗値が $5 \times 10^{11} \Omega \text{cm}$ 以上であり、該液晶の自発分極を P_s (nC/cm^2)、アクティブマトリクス駆動における一画素の一選択の開始時から次の選択期間の開始時までの期間における内部イオンの再配置分を Q_t (nC/cm^2) として $(2P_s + Q_t)$ が 30 (nC/cm^2) 以下であることを特徴とする液晶素子、が提供される。

【0011】

【発明の実施の形態】以下、本発明の液晶素子におけるカイラルスメクチック相を呈する液晶の配向状態及びスイッチング過程について、前述した従来型の SSFLC タイプとの対比の上で図面を参照してモデル上で説明する。

【0012】SSFLC では、 SmC^* 相において、液晶分子を 2 状態に安定化させることによって、双安定性すなわちメモリ性を発現させている。このメモリ状態に関して図 1 及び図 2 に示すモデルを用いて説明する。

【0013】尚、以下に説明するモデルでは、液晶分子と、該分子の位置の範囲となり得る仮想コーン、スメクチック層法線、平均一軸配向処理軸の関係に基づいているが、当該液晶分子は液晶素子内では複数存在し、例えば基板法線方向である程度ツイストしており、平均分子軸の挙動として観察される。即ち、本発明で規定する平均分子軸は実質的には単独の液晶分子の挙動に相応する。

【0014】図 1 は SSFLC 型の素子における液晶分

子及び液晶の層構造（スメクチック層の構造）について説明したものである。当該素子では、同図 (a) 及び

(b) に示すように、基板 11 及び 12 間に挟持された液晶 13 の部分において、液晶分子 14 は、基板 11 又は 12 の界面付近では各基板の一軸配向処理方向 A に沿って基板から所定のプレチルト角 α で立ち上がり（本例では両基板の一軸配向処理方向 R が平行であり且つ同方向、即ち基板に対して同方向に液晶分子を立ち上がらせるような設定とした）、基板 11 及び 12 間で基板法線に対して傾斜角 δ をなすシェブロン構造のスメクチック層 16 を形成している。

【0015】一方、液晶分子 14 は、電圧印加により 2θ (θ : 液晶材料に固有のコーン角) の頂角を有する仮想コーン 15 の壁面の 2 位置間でスイッチングし且つ電圧無印加の状態、当該 2 位置の近傍で安定的に存在する。尚、同図 (a) 及び (b) に示すスメクチック層 16 がシェブロン構造をなす配向状態は、夫々、基板間の液晶分子 14 のプレチルトの方向とスメクチック層 16 のシェブロン構造の折れ曲がり方向の関係により種別されるもので、(a) の配向状態を C1 配向、(b) の配向状態を C2 配向と呼ぶ。

【0016】ここで、図 1 に示す SSFLC の配向状態では、C1 配向状態及び C2 配向状態共に一般的に $\theta > \delta$ の関係を満たすことで、電圧無印加時に基板 11 及び 12 間でシェブロン構造のスメクチック層 16 のキンク位置（基板間中央の折れがり部分）を含むほぼ全厚み方向で、液晶分子 14 が仮想コーン 15 内で安定的に 2 位置をとることができ、双安定状態が発現する。図 2

(a) 及び (b) は、夫々図 1 (a) 及び (b) に示す C1 配向状態と C2 配向状態の夫々における仮想のコーン 15 の底面 17 上への液晶分子の射影を示すものであり、液晶分子が 14a 及び 14b の双安定状態（射影 18a, 18b）をとることを示している。

【0017】液晶が上記のような双安定性の配向状態を呈する素子では、一対のクロスニコル下の偏光板のうち、双安定状態の一方の平均分子軸に偏光軸を合わせて、双安定状態間のスイッチングを行い、黒（暗状態）及び白（明状態）の表示を行う。このスイッチングは、例えば一方の状態から他方の状態のドメインの生成により、即ちドメインウォールの生成及び消滅を伴ってなされる。但し、このようなスイッチングメカニズムを用いて表示を行う場合、基本的には黒及び白の 2 値表示しかできず、黒白間の階調（中間調）の表示は困難である。

【0018】これに対し、本発明の第一及び第二の液晶素子においては、カイラルスメクチック相を示す液晶を用いた素子において階調表示を実現すべく、図 1 及び 2 に示すようなメモリ性（双安定性）を消失させ、印加電圧によって液晶分子位置が連続的に可変となるようにすることが重要となる。この設定のため、本発明においては好ましくは Ch-SmC^* 相転移を示す液晶材料を用い

る。

【0019】図3(a)に、液晶素子において、少なくとも降温下でCh-SmA-SmC^{*}相系列を示す液晶材料の層(スメクチック層)構造の形成過程を、図3

(b)に少なくとも降温下でCh-SmC^{*}相系列を示す液晶材料の層構造形成過程を示す。同図において矢印Rは素子における平均一軸配向処理軸の方向である。液晶分子14は、電圧を印加した際に仮想コーン15域の壁面に沿ってスイッチングし得る。

【0020】ここで“平均一軸配向処理軸”とは、素子を構成する両基板の液晶に接する面において一軸配向処理が施され、その方向(例えばラビング方向)が平行で同一方向であるか互いに逆方向(反平行)である場合、並びに一方の基板にのみ一軸配向処理が施されている場合では、その一軸配向処理の軸自体に相当し、両基板において一軸配向処理が施された方向(例えばラビング方向)が互いにクロスしている場合では、両方の一軸配向処理軸の中心方向の軸、即ちクロス角の1/2の方向に相当する)。また平均一軸配向処理軸の“方向”とは、例えば当該配向処理がなされた基板近傍における液晶分子の基板に対して立ち上がっている、即ちプレチルトを生じる側への方向であり、一方の基板にのみ一軸配向処理が施されている場合及び両基板において一軸配向処理が施され、その方向(例えばラビング方向)が平行で同一方向である場合は、その処理方向自体であり、両基板に互いに平行で逆方向の処理が施されている(反平行)場合は、いずれか一方の基板での処理方向であり、両基板において一軸配向処理が施された方向(例えばラビング方向)が互いにクロスしている場合では、その中心軸の方向である。

【0021】図3(a)に示すように、相系列中にSmA相を有する液晶材料の場合、SmA相においてスメクチック層法線方向(紙面横方向矢印LN)と一軸配向処理方向が一致するように液晶分子14が配列しスメクチック層構造を形成する。そして、SmC^{*}相では、液晶分子14はスメクチック層法線方向LNからチルトし、仮想コーン15のエッジ近傍もしくはその若干内側の位置で安定化する。

【0022】一方、図3(b)に示すようにSmA相を含まない相系列では、例えばCh相からSmC^{*}相に相転移する過程で、液晶分子14はスメクチック層法線方向LNに対して傾くように、且つ平均一軸配向処理方向Rに配列しスメクチック層構造が形成される。即ち層法線方向LNが平均一軸配向処理方向Rとずれた方向に形成されることになる。特に本発明では、液晶分子14は、SmC^{*}相の温度域を通じて仮想コーン15のエッジの位置で安定化するように調整している。

【0023】図3(a)及び(b)のいずれの場合も、例えば図1及び図2に示すような液晶分子14がシェvron構造の双安定配向状態、即ち基板と実質的に平行な

2状態で安定になるべきであるが、図3(b)に示す場合、一軸配向処理の束縛力が強くなり、この2状態のうち的一方のみが安定となり(単安定化し)、メモリ性が消失することになる。

【0024】以下にこの単安定化現象について具体的に述べる。Ch-SmC^{*}相系列を示す液晶材料では、上述のように層法線方向と一軸配向処理方向とがずれて配向する。したがってSmC^{*}相において液晶分子がコーン上、且つ基板面に平行になる2つの分子位置をそれぞれU1、U2とした場合、前記いずれか一方の分子位置のうち、一軸配向処理方向とのなす角が小さい方が安定となり双安定性が崩れることになる。

【0025】しかしながら、この一軸配向処理の強度(A)が限りなくゼロに近い場合を仮定すると、一軸配向処理方向と層法線方向とのなす角の如何によらず、U1とU2の安定性(ポテンシャル)に差異は見られないはずである(図4(a))。したがって、Ch-SmC^{*}相系列を示す材料を用いたとしても、双安定性を有する素子の実現することは可能である。

【0026】次いで、一軸配向処理を施しているもののその強度が十分でない場合(図4(b))、U1とU2においてポテンシャルに差異が発生し、双安定性が崩れることになる。しかしながら、この図4(b)の状態では、双安定の一方の状態が安定ではあるものの、もう一方の状態に関しても準安定な配向状態として存在することになる。このような配向状態では、例えば三角波応答時においてヒステリシスが非常に大きく、急峻な閾値特性が観測されたり、電氣的にある一定の直流バイアスを印加することにより双安定性が再び発現する等といった現象が観測される。つまり、こうした十分な単安定性が実現されていない素子では、アクティブマトリクスによる連続階調制御が困難となることが考えられる。

【0027】一方、図4(c)に示すように一軸配向処理の束縛力を十分に強くすることにより、準安定な状態の存在が無く、完全に単安定化することが可能となり、連続階調制御特性が大きく向上することになる。

【0028】また、図4(a)における双安定エネルギー障壁の高さに関しては、液晶材料特性やセル構成にも依存して変化すると考えられる。つまり、定性的にはこのエネルギー障壁の高さは、液晶素子自身が作り出す反電場量によって変化すると推察される。したがって、準安定状態が存在しないよう液晶素子を設計するためには、内部反電場量が大きくなるようセル設計することでエネルギー障壁の高さをあらかじめ低く設定しておくことが望ましい。例えば、配向制御層としては絶縁性の十分高いポリイミド配向膜を上下両基板に配設しておくことが望ましい。

【0029】図3(b)に示すCh-SmC^{*}相転移の際、図5に示すように2通りの異なった層法線方向(LN1及びLN2)を示すスメクチック層構造が形成する

10

20

30

40

50

ことが考えられる。このとき、カイラルスメクチック液晶を挟持するセルの上下一対の基板の一軸配向処理の状態（処理方向等の条件、配向材料等）が完全に対称であれば上記図5に示すような2つのスメクチック層構造が均等な割合で形成される。

【0030】更に、本発明の第一及び第二の液晶素子においては、まず適切な液晶材料を用い、セルの設計を調整し、更に液晶材料のCh-SmC*相転移の過程においてセル内の内部電位に偏りを持たせるような処理を施すことによって、図5に示す2つの層構造のうち一方の層構造のみに揃え、即ち平均一軸配向処理軸とスメクチック層法線方向のずれ方向が一定となるようにし、液晶分子14を仮想コーン15のエッジに単安定化させ、そのメモリ性を消失させたSmC*相の配向状態を得ている。この内部電位の偏りの持たせ方として、

- 1) Ch-SmC*又はI-SmC*相転移の際に一対の基板間に正負いずれかのDC電圧を印加する。
- 2) 上下一対の基板に異なる材料からなる配向膜を用いる。
- 3) 上下一対の基板の配向膜の処理法（膜の形成条件、ラビング強度、UV照射等の処理条件）を変える。
- 4) 上下一対の基板の配向膜の下地に設ける層の膜種または膜厚を変えるなど、様々な方法が考えられるが、いずれの手段を用いてもよい。

【0031】特に1)によるDC印加条件としては、DCを長時間印加することによって素子の一対の基板間がショートすることを避けるために、DCはCh-SmC*相転移又はI-SmC*相転移近傍において、スメクチック層の方向を一方向に揃えるために必要且つ最小限の印加電圧にとどめておくことが好ましい。具体的に100mV以上、10V以下の範囲でのDC電圧を印加することが好ましい。

【0032】上述したような液晶材料及び上記2)～4)で設定される配向膜及び液晶材料中のイオンはTF-T駆動に悪影響を及ぼさないように極力低減しておくことが望ましい。

【0033】次いで、本発明の液晶素子の配向状態、即ち図に示すようなSmC*相での層構造の一方を優先的に形成した配向状態を有するセルにおいて、電圧に対する液晶分子14の反転挙動について図6及び図7を参照して説明する。図6では、電圧印加による液晶の仮想コーン15内での液晶分子の挙動についてのモデル、図7では、当該液晶のセル内での配向状態について、セル上面から見た場合、側面から見た場合、仮想コーン底面への射影で見た場合でのモデルを説明している。

【0034】図6(b)に示すような電圧無印加時においては液晶分子14はほぼ平均一軸配向処理方向（矢印R）に沿って、且つ液晶分子が電圧印加によりスイッチングを行う仮想コーン15の一端（エッジ）側に安定的に配列する。この、液晶分子14が仮想コーン15のエ

ッジに単安定する状態をとる場合としては、スメクチック層構造が実質的にブックシェルフ構造（層傾斜角 δ が 3° 以下）であり液晶分子14のプレチルト角が極めて小さい場合（図7(a)に示す配向状態）、あるいはスメクチック層構造が斜めブックシェルフ構造であり、層傾斜角 δ がプレチルト角にほぼ一致したような場合（図7(b)に示す配向状態）が考えられる。

【0035】ここで、一軸配向処理方向Rに偏光軸の一方（P）を一致させたクロスニコル図6(d)下にセルを配置し、液晶を透過する光量を最低の状態にして暗状態（黒状態、第一の出射光量）を得る。

【0036】そして、例えば液晶の有する屈折率異方性 Δn 、セル厚を d とし、 $\Delta n d$ を可視光の2分の1波長近傍に設定した場合、上記図6(b)に示すような配向状態に対し、第一の極性（同図の場合正極性）の電圧を印加したときには図6(c)に示すように、液晶分子14は、電圧無印加時の位置に対して電圧の極性に応じた方向にチルト（スイッチング）する。このチルトの角度は印加電圧の大きさに応じたものとなる。一方、上記第一の極性と逆極性の第二の極性（同図の場合負極性）の電圧を加えたときには、液晶分子14は電圧無印加時と同様の位置にとどまる。こうして、第一の極性（正極性）の電圧を印加したときには、その電圧絶対値が大きくなるに伴いセル内の液晶部分を透過する光量が連続的に変化して大きくなり、液晶分子14が仮想コーン15内の所定の状態となった際に、電圧無印加時の透過光量の大きさと最も異なる最大透過光量が得られる。負の電圧を印加した場合は、液晶を透過する光量は最低の状態のまま維持される。

【0037】ここで、例えば図6(d)に示すような一対の偏光板を用いる場合、正極性電圧印加時における液晶分子14の最大チルトの状態における、電圧無印加時の液晶分子14の位置を基準としたチルトの角度が 45° より小さい場合では、液晶分子14が仮想コーン15のエッジにある時、即ち最大チルトの状態において、正極性電圧印加時での最大透過光量が得られる。一方、上記チルトの角度が 45° 以上である場合には、液晶分子14が仮想コーン15のエッジの内側にある時において、正極性電圧印加の際の最大透過光量が得られる。

【0038】上述したような液晶分子のスイッチング挙動を示す素子の電圧（V）－光の透過率（T）特性の例、特に正極性電圧印加の際に液晶分子が最大チルト状態となる時に最大透過率が得られる場合の素子の例を図8に示す。正極性の電圧印加時にはその電圧値に沿って液晶分子のチルトにより透過率が上昇し、電圧V1以上で最大透過率T1を示す。一方、負極性の電圧印加時には、その電圧値（絶対値）によらず液晶分子がチルトせず、－V1であっても透過率は電圧無印加時と同様に0である。

【0039】本発明の液晶素子の図6及び7に示すよう

な配向状態及び図 8 に示すような特性を、一般的な TFT を備えたアクティブマトリックスタイプの液晶パネルに適用し、交流的な駆動波形を印加し、液晶部分を光シャッターとして機能させ、一極性の電圧印加期間、例えば図 8 に示す正極性側の電圧印加による光学応答特性を利用する期間と、逆極性の電圧印加期間、例えば図 8 に示す負極性側の電圧印加による光学応答特性を利用する期間を組み合わせることで、時間開口率を 50% 以下にする方式と同等の効果が得ることができる。こうして、複雑な周辺回路等を用いなくとも動画質の向上した液晶素子を実現することが可能となる。

【0040】次いで、本発明の液晶素子の配向状態における液晶分子の反転メカニズムについて簡単のためシェブロン構造を有する配向状態を用いて説明する。尚、本発明の液晶素子では、上述したように、スメクチック層構造が実質的にブックシェルフ構造である場合や、斜めブックシェルフ構造である場合を想定しているのであるが、基本的な考え方はシェブロン構造の場合と同様である。

【0041】図 1 及び 2 に示す SSFLC での配向状態では、液晶分子 14 が双安定状態間をスイッチングするためには、所定の高さのエネルギー障壁を超えることが必要であり、このエネルギー障壁の存在が双安定性の起源となっている。これに対し、本発明の液晶素子における、例えば図 6 に示すような配向状態では、液晶分子 14 が SSFLC での双安定ポテンシャルの一方側に近い位置で極端に安定化された状態となっている。これにより安定状態が一つしか存在せず、印加電圧の大きさに応じた安定状態がアナログ的に存在し、且つ印加電圧と安定な分子位置が一对一で対応するため、連続的且つドメインの生成を伴わない反転が実現できる。

【0042】このエネルギー障壁（ポテンシャル）の状態のモデルを図 9 及び図 10 に示す。

【0043】図 9 (a) 及び (b) は SSFLC における双安定配向状態でのポテンシャルの状態を C1 配向状態、C2 配向状態の夫々について示したものである。A1 及び A2 は双安定状態の夫々の状態のポテンシャルを示す。これら図より明らかなように、C1 配向、C2 配向によって上記ポテンシャルの状態が若干異なってくる。SSFLC において C1 配向である場合、液晶-基板界面での液晶分子の開き角は C2 配向である場合よりも大きくなるため（図 2 (a) 及び (b) における基板界面付近の射影参照）、エネルギー障壁の高さも高くなる。

【0044】一方、図 10 (a) 及び (b) には、本発明の液晶素子における配向状態でのポテンシャルの状態を C1 配向状態、C2 配向状態の夫々について示したものである。B1 は、電圧無印加での液晶分子のポテンシャル（図 6 (b) の場合）、B2 は一方の極性の電圧の印加による最大チルトでの液晶分子のポテンシャル

（図 6 (c) の場合）を示す。

【0045】上述の SSFLC の場合で示したような C1 配向、C2 配向という双安定状態間のエネルギー障壁の高さが異なる配向状態のそれぞれに対し、双安定の状態のうち一方を安定化させた場合にはそれぞれの駆動特性が異なったものになってしまう。特にエネルギー障壁の高い C1 配向状態においては、図 10 (a) に示すように、双安定ポテンシャルの一方 (B1) が極端に安定化された状態とした場合においても、安定状態が 2 つに残ったまま、あるいは一方が準安定状態 (B2 もポテンシャルのレベルは高いが周囲に比して安定) となってしまう状態が発生する。これにより電圧印加による応答の際、ある一定のポテンシャルに達するまでは印加電圧の大きさに応じた安定状態がアナログ的に存在し、且つ印加電圧と安定な分子位置が一对一で対応するため、連続的且つドメインの生成を伴わない反転が実現できるものの、ある一定のポテンシャルを越えた際に不連続な配向状態を形成する、すなわちドメインウォールの生成を伴った不連続な反転挙動となることがある。

【0046】これに対し、C2 配向状態では、双安定の SSFLC である場合のエネルギー障壁が低いことから、図 10 (b) に示すように、一方 (B1) が極端に安定化された状態とした場合にも B2 の状態まで連続的且つドメインの生成を伴わない反転が実現できている。さらに、これらの図から C1 の方が駆動電圧が高くなり易いことが理解できる。

【0047】以上述べた点から、本発明の液晶素子における配向状態については、アナログ階調性能及び低駆動電圧化の観点から、平行ラビングしたセルにおいては C2 配向を用いることが望ましい。あるいは、C1 及び C2 が混在している配向状態の場合は、これらの特性ばらつきを最小限に押さえるためにもプレチルト角が低いことが望ましい。あるいは、反平行ラビングであることが望ましい。

【0048】本発明の液晶素子では、三角波印加時の電圧-透過率曲線を求めた場合において若干のヒステリシスが存在する場合がある。但し、実際の TFT を備えた素子の場合のように交流波形において駆動される場合には、三角波印加時のように白状態から中間調状態へと連続的に光学変調されることはないため特に問題になることはない。即ち、図 8 に示す特性によれば、印加される極性に応じて常に白黒の反転をしながら光学変調されることから、たとえば白から中間調へと光学変調される際には、白状態から黒の配向状態を経由した後中間調の配向状態へと変調されるため、交流を印加した際には一方の極性では常に黒側にリセットされた後に書き込むという駆動が実現されているため、前状態の履歴の影響を受けることが原理的にほとんどない。

【0049】本発明の第一の液晶素子においては、三角波応答におけるヒステリシス値、及び値 t が特定のレ

ベルに設定されている。

【0050】これらヒステリシス値、及び γ 値を以下に定義する。電圧無印加時に射出光量が0となる透過型素子に対して三角波を印加し、横軸に印加電圧、縦軸に光量（透過光量）というグラフを描画したとき、図16に示すように、一方の極性の電界に対しては光学応答が存在せず、もう一方の極性の電界に対してのみ光学応答する。このとき、低電圧から高電圧へと変化するとき描画される曲線（立ち上がり曲線）及び高電圧から低電圧へと変化するとき描画される曲線（立ち下がり曲線）の2本が描画されるのが一般的である。条件によっては、これら2本が完全に重なり合って1本になる場合もある。本発明では γ 値を立ち上がり曲線において光量が最大となる時を透過率100%とし、透過率5%に達する電圧を $V_{5\%}$ 、透過率95%に達する電圧を $V_{95\%}$ とし、 $\gamma = V_{95\%} / V_{5\%}$ と定義する。この γ 値は1以上の値となるが、この値が1に近づくほど閾値特性が急峻となり階調制御が困難となる。逆にこの値が1より十分に大きいと階調制御性に優れた素子特性が実現する。本発明の素子では、 γ の値を3以上と設定し、安定的な階調制御を可能としたものである。

【0051】また、ヒステリシス値を三角波応答曲線における立ち上がり時において透過率50%に達する電圧を V_u 、立ち下がり時において透過率50%に達する電圧を V_d と定義し、 $(V_u + V_d) / 2$ の電圧を印加したときにとりうる2つの透過率値 T_u [%]、 T_d [%]の差 T_{diff} [%]を本発明におけるヒステリシスパラメータとして定義する。このヒステリシスに関しては、上述のように実際の駆動時における影響は原理的にはほとんど考慮しなくてもよいわけであるが、 T_{diff} [%]がおおよそ50%を越えるような大きな値となった場合、前状態の影響が実際の駆動に影響する場合がある。これは T_{diff} [%]が大きい場合には潜在的な双安定素子特性が発現し、黒リセット後においても前状態履歴が残存するためであろうと推察される。従って、本発明の液晶素子においてもヒステリシスパラメータ T_{diff} [%]を単安定性の指標として評価し、50%以下に設定している。

【0052】次に、本発明の第二の液晶素子では、アクティブマトリクス液晶素子であって、自発分極値及び内部イオンの許容値が特定のレベルに設定されている。以下この点について説明するが、この説明中において、液晶及び内部イオンの応答はゲートオン時間と比較すると十分遅い、すなわちゲートオン期間内での自発分極の反転及び内部イオンの移動はわずかであるため、ゲートオン期間後の保持時間内での問題として説明している（最も厳しい条件設定をしていることになる）。

【0053】アクティブマトリクスセルには通常ストレージキャパシタンスと呼ばれる容量 C_s が液晶容量 C_{lc} と並列になるよう付与されているため、駆動電圧 V_{op} を

印加した際には、液晶素子内には電荷 Q として、 $Q = V_{op} \times (C_{lc} + C_s)$ だけの電荷が注入される。次いで、電荷注入された後、自発分極の反転及び内部イオンの再配置、即ちアクティブマトリクス駆動で、ある一画素での選択期間の開始時から次の選択期間の開始時までの期間（例えば1フレーム、1フィールド期間）において、液晶層で印加される電圧によってセル内でイオンが移動し、セル厚方向で新たなイオン分布へと再構築される現象が発生する。

【0054】この電荷の移動量は、自発分極の反転分が $2 \times P_s$ 、内部イオンの再配置分が Q_i であるため、「 $2 \times P_s + Q_i$ 」だけの電荷が移動することになる。

【0055】尚、ここでいう P_s の値は液晶配向の変化に寄与した自発分極の値であって、液晶材料物性値で言うところの P_S 値とは異なる場合がある。すなわち、仮に50%透過率を得るために液晶分子がセル内において50%分反転したと仮定すると、内部電荷の移動に寄与した自発分極値は液晶材料物性値で言うところの P_s 値（ P_{s0} ）の50%の値となる。但し、飽和電圧以上の電圧を与えられて、全液晶分子がスイッチングした場合は、この P_s 値が P_{s0} と等しくなるため、結局 P_s 値は、液晶材料物性値の P_s 値を考えればよい。

【0056】一方、内部イオンの再配置分 Q_i は、まさに実際の駆動条件（電圧及び周波数）で関与する分である。

【0057】液晶の抵抗値が低い場合、オーミックな抵抗成分を流れる電荷によってもセル内に残存する電荷量 Q_{rest} が減少する。 TF を実際に駆動するにあたり60Hz駆動を想定した場合、1フレーム期間は16.7msであり、この期間内で、オーミックな抵抗成分による電圧減少分を10%以下にするためには、液晶の体積抵抗値を $5 \times 10^{11} \Omega \text{cm}$ 以上（ $2 \mu\text{m}$ セルでの実液晶抵抗値が $1.0 \times 10^8 \Omega$ ）にする必要がある（液晶の誘電率 ϵ を3.5～7、セル厚を1～2 μm として、液晶層の容量は1.5～6.2 [nF/cm²]より、 CR 時定数で計算）。

【0058】逆に、上記の条件内であれば、電圧降下は、下記に説明するその他の要因が支配的になることになる。

【0059】以下、オーミックな抵抗成分以外の要因による電圧降下を説明する。

【0060】スイッチング完了及び内部イオンの再配置が完了した後のセル内に残存する電荷量は Q_{rest} は、 $Q_{rest} = V_{op} \times (C_{lc} + C_s) - (2 \times P_s + Q_i)$ となる。そして、上式で表された残存電荷量から内部電圧の値 V_{rest} が決定され、この値と印加電圧 V_{op} との比によって電圧保持率 HVR が決定される。すなわち、 $HVR = V_{rest} / V_{op} = \{ \{ V_{op} \times (C_{lc} + C_s) - (2 \times P_s + Q_i) \} / (C_{lc} + C_s) \} / V_{op} = 1 - (2 \times P_s + Q_i) / \{ V_{op} \times (C_{lc} + C_s) \}$ となる。

【0061】一般的な液晶ディスプレイとして、60Hz 駆動のマトリクス駆動（1フレーム期間は16.7ms）を想定し、液晶の誘電率 ϵ を3～6、セル厚を1～2 μm として、液晶層の容量は1.3～5.3[nF/cm²]、駆動最大電圧を5Vとする。この時、上式の「 Q_t 」の最大値は、5V、16.7msのパルス内で測定される Q_t となる。ここで、10～20インチサイズのXGA～SXGAパネルを想定し、開口率をある程度以上確保するためには、保持容量 C_s は、液晶層の容量 C_{lc} の5倍以内とする必要がある。

【0062】電圧保持率の好ましい値として50%以上として、上式の「 $2 \times P_s + Q_t$ 」は、30[nC/cm²]以下にする必要がある。また、電圧保持率のより好ましい値として80%以上とすると、「 $2 \times P_s + Q_t$ 」は、12[nC/cm²]以下にする必要がある。

【0063】また、ゲートオン期間（XGA～SXGAパネルを想定した場合ゲートオン期間は最小16.3 μs ）内に $V_{\text{th}} \times (C_{lc} + C_s)$ だけの電荷注入が完了するよう、TFTのモビリティ値を設定する必要がある。

【0064】以上述べたように、こうしたイオン量の条件、特に「 $2 \times P_s + Q_t$ 」の値を30[nC/cm²]以下、好ましくは12[nC/cm²]以下にするために液晶材料や配向膜材料を適宜選択し、必要に応じて精製等を行う必要がある。

【0065】本発明者らは、特に液晶組成物中のエステル骨格を有している化合物の含有比率に着目し鋭意検討したところ、その「エステル骨格化合物の含有比率」が50%以下であれば、5V、16.7msのパルス内で測定される実効 Q_t を30[nC/cm²]以下にする事が出来、さらにエステル骨格化合物の含有比率が20%以下であれば、5V、16.7msのパルス内で測定される実効 Q_t を12[nC/cm²]以下にする事が出来る結果を得た。

【0066】ここで、 P_s の大きさは、カイラル成分の比率を変えることでほぼ自由に（0～数十の範囲で）設定することが可能なため、 P_s が最小値0に近い場合を想定した。

【0067】尚、特公平6-105332には、Ch相-SmC*相転移系列を有する液晶材料を用いて、電圧無印加時に単安定状態をとり得る液晶素子について、交流駆動することが開示されている。しかしながら、当該公報に記載の液晶素子では、印加電圧-透過光強度を見ると、メモリー状態を有する電圧レンジが存在し、ヒステリシスも大きく、印加電圧増加に対する透過率上昇の仕方も実質的に閾値を有しており、急峻である故にアクティブマトリクス駆動を用いても安定的な階調制御を行うことができない。また、当該公報記載の素子では、液晶材料としてエステル系化合物を主成分として用いており、液晶材料中の不純物の除去が困難であり、液晶純度

を十分に高くすることはできず、アクティブマトリクス駆動における電圧保持率を確保できないといった観点から、当該駆動には不適である。

【0068】以下、図11を参照して本発明の液晶素子の一実施形態について説明する。

【0069】同図に示す液晶素子80では、一对のガラス、プラスチック等透明性の高い材料からなる基板81a、81b間にカイラルスメクチック相を示す液晶85を挟持したセルが互いに偏光軸が直交した一对の偏光板87a及び87b間に挟装した構造となっている。

【0070】基板81a、81bには、夫々液晶85に電圧を印加するための In_2O_3 、ITO等の材料からなる電極82a、82bが例えばストライプ状に設けられており、これらが互いに交差してマトリクス電極構造（単純マトリクス）を形成している。また、後述するように一方の基板にドット状の透明電極をマトリクス状に配置し、各透明電極にTFTやMIM（Metal-Insulator-Metal）等のスイッチング素子を接続し、他方の基板の一面上あるいは所定パターンの対向電極を設けアクティブマトリクス構造にすることが好ましい。

【0071】電極82a、82b上には、必要に応じてこれらのショートを防止する等の機能を持つ SiO_2 、 TiO_2 、 Ta_2O_5 等の材料からなる絶縁膜83a、83bが夫々設けられる。

【0072】更に、絶縁膜83a、83b上には、液晶85に接し、その配向状態を制御するべく機能する配向制御膜84a、84bが設けられている。かかる配向制御膜84a、84bの少なくとも一方には一軸配向処理が施されている。かかる膜としては、例えば、ポリイミド、ポリイミドアミド、ポリアミド、ポリビニルアルコール等の有機材料を溶液塗工した膜の表面にラビング処理（例えば同図に示す矢印Aの方向）を施したもの、あるいは SiO 等の酸化物、窒化物を基板に対し斜め方向から所定の角度で蒸着した無機材料の斜方蒸着膜を用いることができる。尚、配向制御膜84a、84bについては、その材料の選択、処理（一軸配向処理等）の条件等により、液晶85の分子のプレチルト角（液晶分子の配向制御膜界面付近で膜面に対してなす角度）が調整される。

【0073】また、配向制御膜84a、84bがいずれも一軸配向処理がなされた膜である場合、夫々の膜の一軸配向処理方向（特にラビング方向）を、用いる液晶材料に応じて平行、反平行、あるいは45°以下の範囲でクロスするように設定することができる。

【0074】尚、配向制御膜としては、少なくとも一方の基板において有機膜を用い、且つリタデーシンの値が、有機配向膜が十分延伸されることが一軸配向規制の起源と考えられることから、0.05nm以上の大きさとするのが好ましい。

【0075】本発明の液晶素子において、電圧無印加時

の液晶分子（平均分子軸）の単安定化のためには一軸配向規制力が十分大きいことが必要となる。この配向規制力に関して、コレステリック液晶を用いて配向規制力を評価する方法が内田ら（Liquid Crystals, 5, p.1127(1989)）によって提案されている。すなわちコレステリック相での螺旋ピッチと配向規制力とのトルクバランスによって決定される「実効ねじれ角」を評価することにより配向規制力が評価できる。本発明でもこの考えを用いてこの一軸配向規制力を以下のように定義する。本発明の素子においてC h相が存在する場合、C h相におけるコレステリックピッチを p 、及びセル厚 d_g とすると、配向規制力が存在しない場合、セル内でのねじれ角 ϕ とすると、 $d_g/p = \phi/2\pi$ なる関係となる。また、上下基板において平行に一軸配向規制されており、配向規制力が無限大である場合には ϕ はゼロとなる。尚、この ϕ の値は内田らの報告と同様に、偏光顕微鏡下において旋光性を測定することにより容易に評価できる。すなわち、セル中では配向規制力によって本来のピッチ p より大きい仮想ピッチ p^* （ $=2\pi \cdot d_g/\phi$ ）を有しており、 $p^* = p$ のとき配向規制力ゼロ、 $p^* =$ 無限大のとき配向規制力も無限大であると言い換えることができる。

【0076】本発明では単安定化のためには少なくとも $p^* \geq 2 \times p$ となることが好ましい。 $p^* \geq 10 \times p$ となることがより好ましい。これらの値となるようなことを考慮して一軸配向処理条件（ラビング条件等）、配向膜厚、配向膜種、焼成条件等を適宜調整することが好ましい。

【0077】基板81a及び81bは、スペーサー86を介して対向している。かかるスペーサー86は、基板81a、81bの間の距離（セルギャップ）を決定するものであり、シリカビーズ等が用いられる。ここで決定されるセルギャップについては、液晶材料の違いによって最適範囲及び上限値が異なるが、均一な一軸配向性、また電圧無印加時に液晶分子の平均分子軸をほぼ配向処理軸の平均方向の軸と実質的に同一にする配向状態を発現させるべく、0.3～10 μ mの範囲に設定することが好ましい。

【0078】スペーサー86に加えて、基板11a及び11b間の接着性を向上させ、カイラルスメクチック相を示す液晶の耐衝撃性を向上させるべく、エポキシ樹脂等の樹脂材料等からなる接着粒子を分散配置することもできる（図示せず）。

【0079】上記構造の液晶素子80では、カイラルスメクチック相を示す液晶85については、その材料の組成を調整し、好ましくはエステル骨格を有している化合物の含有比率が50%以下であれば、更に液晶材料の処理や素子構成、例えば配向制御膜84a及び84bの材料、処理条件等を適宜設定することにより、前述の図3（b）、図6、7に示すように、電圧無印加時では、該液晶の平均分子軸（液晶分子）が平均一軸配向処理軸と

実質的に一致し単安定化されている配向状態を示し、駆動時では一方の極性（第一の極性）の電圧印加時に印加電圧の大きさに応じて平均分子軸の単安定化される位置を基準としたチルト角度が連続的に変化し、他方の極性（第二の極性）の電圧印加時には液晶の平均分子軸は、電圧無印加時と同様に平均一軸配向処理軸と実質的に一致し、印加電圧の大きさによってもチルトしないような特性を示すようににする。好ましくは、カイラルスメクチック相を示す液晶材料として降温下でI相-C h相-S m C^{*}相の相転移系列又はI相-S m C^{*}相の相転移系列を示すものを用い、前述した1)～4)の処理によりS m C^{*}相でメモリ性を消失された状態を形成する。

【0080】更に、液晶材料等の調整により、前述したような γ 、ヒステリシス特性及びイオン量の設定とする。

【0081】加えて、カイラルスメクチック相を示す液晶のバルク状態でのらせんピッチをセルギャップの2倍以上に設定することが好ましい。

【0082】このような特性下において、基板81a及び81bの少なくとも一方側に偏光板を設け、電圧無印加の状態以最暗状態となるようにセルを配置し、電圧印加時には、このようなチルト角の連続的な変化に伴い、例えば図8に示すような特性で素子の透過光量（出射光量）を電圧変化に伴いアナログ的に制御することができる。

【0083】当該液晶素子では、基板81a及び81bの一方側に少なくともR、G、Bのカラーフィルターを設けたカラー液晶素子としてもよい。

【0084】尚、当該液晶素子は、基板81a及び81bの両方の基板に一对の偏光板を設けた透過型の液晶素子、即ち基板81a及び81bのいずれも透光性の基板であり、一方の基板側からの入射光（例えば外部光源による光）を変調し他方側に出射するタイプの素子、又は一方の基板に偏光板を設けた反射型の液晶素子、即ち基板81a及び81bのいずれか一方の側に反射板を設けるかあるいは一方の基板自体又は基板に設ける部材に反射性材料を用い入射光及び反射光を変調し、入射光と同様の側に光を出射するタイプの素子のいずれにも適用することができる。

【0085】本発明では、上述の液晶素子に対して階調信号を供給する駆動回路を設け、上述したような電圧の印加により液晶の平均分子軸の単安定位置からの連続的なチルト角度の変化、及び液晶部分の透過光量が連続的に変化する特性を利用し階調表示を行う液晶表示素子を構成することができる。例えば、液晶素子の一方の基板として前述したようなTFT等を備えたアクティブマトリクス基板を用い、駆動回路で振幅変調によるアクティブマトリクス駆動を行うことでアナログ階調表示が可能となる。

【0086】図12～14を参照して、本発明の液晶素子において、このようなアクティブマトリクス基板を用

いた例について説明する。

【0087】図12は、当該素子を、駆動手段を備えた形で、一方の基板（アクティブマトリクス基板）の構成を中心に模式的に示したものである。

【0088】図12に示す構成では、液晶素子に相当するパネル部90において、駆動手段である走査信号ドライバ91に連結した走査線に相当する図面上水平方向のゲート線G1、G2…と、駆動手段である情報信号ドライバ92に連結した情報信号線に相当する図面上縦方向のソース線S1、S2…が互いに絶縁された状態で直交するように設けられており、その各交点の画素に対応してスイッチング素子に相当する薄膜トランジスタ（TFT）94及び画素電極95が設けられている（同図では簡略化のため5x5画素の領域のみを示す）。尚、スイッチング素子として、TFTの他、MIM（素子を用いることもできる。ゲート線G1、G2…はTFT94のゲート電極（図示せず）に接続され、ソース線S1、S2…はTFT94のソース電極（図示せず）に接続され、画素電極15はTFT94のドレイン電極（図示せず）に接続されている。かかる構成において、走査信号ドライバ91によりゲート線G1、G2…が例えば線順次に走査選択されてゲート電圧が供給され、このゲート線の走査選択に同期して情報信号ドライバ92から、各画素に書き込む情報に応じた情報信号電圧がソース線S1、S2…に供給され、TFT94を介して各画素電極に印加される。

【0089】図13は、図12に示すようなパネル構成における各画素部分（1ビット分）の断面構造の一例を示す。同図に示す構成では、TFT94及び画素電極95を備えるアクティブマトリクス基板20と共通電極42を備えた対向基板40間に、自発分極を有する液晶層49が挟持され、液晶容量（ C_{LC} ）31が構成されている。

【0090】アクティブマトリクス基板20については、TFT94としてアモルファスSiTFTを用いた例が示されている。TFT94はガラス等からなる基板21上に形成され、図12に示すゲート線G1、G2…に接続したゲート電極50上に窒化シリコン（ $SiNx$ ）等の材料からなる絶縁膜（ゲート絶縁膜）23を介してa-Si層24が設けられており、該a-Si層24上に、夫々n⁺-a-Si層25、26を介してソース電極27、ドレイン電極28が互いに離間して設けられている。ソース電極27は図12に示すソース線S1、S2…に接続し、ドレイン電極28はITO膜等の透明導電膜からなる画素電極95に接続している。また、TFT94におけるa-Si層24上をチャネル保護膜29が被覆している。このTFT94は、該当するゲート線が走査選択された期間においてゲート電極22にゲートパルスが印加されオン状態となる。

【0091】更に、アクティブマトリクス基板20にお

いては、画素電極95と、該電極のガラス基板側に設けられた保持容量電極30により絶縁膜23（ゲート電極22上の絶縁膜と連続的に設けられた膜）を挟持した構造により保持容量（CS）32が液晶層50と並列の形で設けられている。保持容量電極はその面積が大きい場合、開口率の低下するため、ITO膜等の透明導電膜により形成される。

【0092】アクティブマトリクス基板20のTFT14及び画素電極95上には液晶の配向状態を制御する為の例えばラビング処理等の一軸配向処理が施された配向膜32aが設けられている。

【0093】一方、対向基板40では、ガラス基板41上に、全面同様の厚みで共通電極42、及び液晶の配向状態を制御する為の配向膜32bが積層されている。

【0094】尚、上記セル構造は、互いに偏光軸が直交した関係にある一対の偏光板間に挟持されている（図示せず）。

【0095】上記構造のパネルの画素部分において、液晶層49としては、自発分極を有する液晶、例えばカイラルスメクチック相を呈する液晶が用いられる。そして、液晶層49は、図3、6、7、及び8に示すような配向状態及び光学特性を示すように設定される。

【0096】尚、図12及び13に示すようなパネル構成において、アクティブマトリクス基板として、多結晶Si（p-Si）TFTを備えた基板を用いることができる。

【0097】図13に示すパネルの画素部分の等価回路を図14に示す。

【0098】図14及び図15を参照して上記構造の液晶素子における特性を利用したアクティブマトリクス駆動について述べる。本発明の液晶装置におけるアクティブマトリクス駆動では、例えば一画素においてある情報を表示するための期間（1フレーム）を複数のフィールド（例えば図15に示す1F及び2F）に分割し、これら2フィールドにおいて平均的に所定の情報に応じた状態を形成する。以下では、液晶層49が図8に示すような光学特性を示す場合における2フィールドに分割された例について説明する。

【0099】図15（a）は、一画素を着目した際に、当該画素に接続する走査線となる一ゲート線に印加される電圧を示す。上記構造の液晶装置では、各フィールド毎にゲート線G1、G2…が例えば線順次で選択され、一ゲート線には選択期間 T_{on} において所定のゲート電圧 V_g が印加され、ゲート電極22に電圧 V_g が加わりTFT94がオン状態となる。他のゲート線が選択されている期間に相当する非選択期間 T_{off} にはゲート電極22に電圧が加わらずTFT12は高抵抗状態（オフ状態）となり、 T_{off} 毎に所定の同一のゲート線が選択されてゲート電極22にゲート電圧 V_g が印加される。

【0100】図15（b）は、当該画素の情報信号線

(ソース線)に印加される電圧 V_s を示す。図15(a)で示すように各フィールドで選択期間 T_{on} でゲート電極22にゲート電圧が印加された際、これに同期して当該画素に接続する情報線となるソース線 S_1 、 S_2 …からソース電極27に、所定のソース電圧(情報信号電圧) V_s (基準電位を共通電極42の電位 V_c とする)が印加される。

【0101】ここで、1フレームを構成する第一のフィールド(1F)では、当該画素に書込まれる情報、例えば用いる液晶に応じた図8に示すような電圧-透過率特性を基に当該画素で得ようとする光学状態又は表示情報(透過率)に応じたレベル V_x の正極性のソース電圧(情報信号電圧)(基準電位を共通電極42の電位 V_c とする)が印加される。この時、TFT14がオン状態であるため、上記ソース電極27に印加される電圧 V_x がドレイン電極28を介して画素電極(95)に印加され、液晶容量(C_{lc})31及び保持容量32(C_s)に充電がなされ、画素電極の電位が情報信号電圧 V_x になる。続いて、当該画素の属するゲート線の非選択期間 T_{off} においてTFT14は高抵抗(オフ状態)となるため、この非選択期間には、液晶セル(液晶容量 C_{lc})31及び保持容量(C_s)32では選択期間 T_{on} で充電された電荷が蓄積された状態を維持し、電圧 V_x が保持される。そして、当該画素における液晶層49に第1フィールド1Fの期間を通して電圧 V_x が印加される。

【0102】次に、第二のフィールド(2F)の選択期間 T_{on} では、第一のフィールド1Fとは極性が逆で実質的に同様の電圧値 V_x を有するソース電圧($-V_x$)がソース電極27に印加される。この時、TFT14がオン状態であり、画素電極95に電圧 $-V_x$ が印加されて、液晶容量(C_{lc})31及び保持容量32(C_s)に充電がなされ、画素電極の電位が情報信号電圧 $-V_x$ になる。続いて、非選択期間 T_{off} においてTFT14は高抵抗(オフ状態)となるため、この非選択期間には、液晶セル(液晶容量 C_{lc})31及び保持容量(C_s)32では選択期間 T_{on} で充電された電荷が蓄積された状態を維持し、電圧 $-V_x$ が保持される。そして、当該画素における液晶層49に第2のフィールド2F期間を通して電圧 $-V_x$ が印加される。

【0103】図15(c)は、上述したような当該画素の液晶容量及び保持容量に実際に保持され液晶層49に印加される電圧値 V_{pix} を、図15(d)は当該画素での液晶の実際の光学応答(透過型液晶素子した場合での光学応答)を模式的に示す。(c)に示すように、2フィールド1F及び2Fを通じて印加電圧は互いに極性が反転しただけの同一レベル(絶対値) V_x である。一方、(d)に示すように第一フィールド1Fでは、図8に示す特性に基づいて V_x に応じた階調表示状態(透過光量)が得られ、第二フィールド2Fでは、 $-V_x$ により透過光量が実質的に0レベルとなる。従って、1フレ

ーム全体では、 T_x と0を平均した透過光量が得られる。

【0104】上述したようなアクティブマトリクス駆動では、カイラルスメクチック相を示す液晶を用いた場合で良好な高速応答性に基づいた階調表示が可能となると同時に一面素であるレベルの階調表示を、高い透過光量の第一フィールドと低い透過光量の第二フィールドに分割して連続的に行うため、時間開口率が50%以下となり人間の目の感じる動画高速応答特性も良好になる。また、第一及び第二フィールドで同様のレベルの電圧が極性反転して液晶層49に印加されるため、液晶層49に実際に印加される電圧が交流化され液晶の劣化が防止する。

【0105】上記のメカニズムのため、情報信号電圧 V_s については、図8に示す特性に沿って、実際に当該フレームで当該画素で得ようとする画像情報(階調情報)に応じて、所定のレベルだけ大きな透過光量を得ることのできる電圧値を選択して印加することで、第一フィールド1Fにおいて、所望の階調状態より高いレベル透過光量での階調状態を表示することが好ましい。

【0106】

【実施例】(実施例1)

(液晶セルの作製)透明電極(電極面積 1cm^2)として700ÅのITO膜を形成した厚さ1.1の一対のガラス基板を用意した。該基板の透明電極上に、TFT配向膜として市販のSE-7992(日産化学社製)をスピンコート法により塗布し、その後、80°C5分間の前乾燥を行なった後、200°Cで1時間加熱焼成を施し膜厚200Åのポリイミド被膜を得た。なお、この配向膜を用いたセル中にTFT用高純度液晶材料として市販のKN5015LA(チッソ社製)を注入してイオン量を測定したところ、測定限界以下となっていた。したがって、この配向膜からの不純物イオンの発生はないと考えられることから、以下の実施例における不純物の量は全て液晶材料自身の有する不純物イオン量であるとみなすこととする。

【0107】続いて、当該基板上のポリイミド膜に対して一軸配向処理としてナイロン布によるラビング処理を施した。ラビング処理の条件は、径10のロールにナイロン(NF-77/帝人製)を貼り合わせたラビングロールを用い、押し込み量0.3、送り速度10/sec、回転数1000rpm、送り回数4回とした。

【0108】続いて、一方の基板上にスペーサーとして、平均粒径 $1.6\mu\text{m}$ のシリカビーズを散布し、各基板のラビング処理方向が互いに反平行(アンチパラレル)となるように対向させ、均一なセルギャップ($1.55\mu\text{m}$)のセル(単画素の空セル)を得た。

【0109】なお、このセルの複屈折位相差(リタデーション)を下記方法により測定したところ、0.08nmであった。

【0110】屈折位相差(リタデーション)の測定は以

【0 1 2 3】上記のプロセスで作製した単画素セル

(1) 及びアクティブマトリクスセル (2) の夫々に液晶組成物A～Gを等方相の温度で注入し、液晶をカイラルスメクティック液晶相を示す温度まで冷却し、夫々液晶素子サンプルA (1) ～G (1) 、A (2) ～G (2) を作製した。この冷却の際、Ch-SmC*相転移前後において－3 V のオフセット (直流) 電圧を印加して冷却する処理を行った。かかるサンプルについて下記の評価を行なった。

【0 1 2 4】1. 配向状態

素子サンプルA (1) ～G (1) の液晶の配向状態について 10 偏光顕微鏡観察を行なった。

【0 1 2 5】その結果、最暗軸がラビング方向とほぼ平行となる配向状態であり、かつ層法線方向がセル全体で一方向しかないほぼ均一な配向状態が観測された。

【0 1 2 6】2. 三角波応答

液晶素子が示す電気光学応答を測定するために、素子サンプルA (1) ～G (1) についてセルをクロスニコル下でフォトマルチプライヤー付き偏光顕微鏡に、ラビング方向に偏光軸をあわせて暗視野となるように配置した。

【0 1 2 7】これにTc-T=10℃において±5V、0.2Hzの三角波を印加した際の光学応答を観測すると、正極性への 20 応答は電圧強度を上げるとそれに応じて徐々に透過光量が増加していくのに対し、一方負極性への応答では、電界無印加時の黒状態から実質的に透過光量に変化しない*

表 4

	A	B	C	D	E	F	G
T _{off} (%)	71	56	36	22	16	2	7

【0 1 3 2】この結果から、素子サンプルA(1)及びB(1) 30 に関しては、ヒステリシスの値が50 (%) を越えており TFT駆動における階調表示性に問題が生じるものとなっているが、素子サンプルC(1)～G(1)に関しては、ヒステリシスも小さく良好な階調表示性能が期待できるものとなっている。

【0 1 3 3】3. 矩形波応答

素子サンプルA (1) ～G (1) について、三角波応答と同様の装置を用いて、60H z の矩形波を印加して電圧 (+5 V～－5 Vの範囲) を変化させながら光学レベルを測定した。

【0 1 3 4】その結果、全ての素子が正極性の電圧のみ 40 に応答し、電圧レベルを変えることで輝度レベルを変化させることが可能であった。しかしながら、素子サンプルA(1)及びB(1)については、上述のヒステリシスが大きいため、その光学応答は前状態に依存し、安定した中間調が得られることは出来ない素子であった。

【0 1 3 5】それに対し、素子サンプルC(1)～G(1)につ 50 いては、上述のヒステリシスが小さいため、その光学応答は前状態には依存せず安定した中間調が得られることが確認できた。したがって、素子サンプルC(1)～G(1)については、TFTアクティブマトリックス駆動による振幅

* ことがわかった。

【0 1 2 8】また、正極性電圧を印加した状態 (白表示) から電圧を切ると、黒状態へ緩和 (スイッチング) する事が確認された。

【0 1 2 9】また、この光学応答から分かる通り、いずれの素子サンプルにおいてもγ特性が緩やかで立ち上がりの閾値は明確に存在しない結果となっている。すなわち立ち上がり曲線において透過光量が最大透過光量の5 %に達する電圧をV_{5%}、透過光量が最大透過光量の95 %に達する電圧をV_{95%} とし、 $\gamma = V_{95\%} / V_{5\%}$ と定義すると、γの値はいずれの素子サンプルにおいても5以上の値を示していた。この結果から連続階調性に優れていることが分かる。

【0 1 3 0】次いで、ヒステリシス量の評価を行った。ここで、三角波応答曲線における立ち上がり時において透過光量が最大透過光量の50 %に達する電圧をV_u、立ち下がり時において透過光量が最大透過光量の50 %に達する電圧をV_dと定義し、(V_u+V_d)/2の電圧を印加したときにとりうる2つの透過光量値T_u、T_dの差T_{diff} をそれぞれのサンプルについて評価した。結果を表4に示す。

【0 1 3 1】

【表4】

変調によりアナログ階調表示が可能である。

【0 1 3 6】また、この正極性の矩形波電圧 (飽和電圧は全て約5 v) 印加による、立ち上がり時間 (最暗状態から、所定の電圧印加により得ようとする透過率の90 %の透過率となる時間) と、立ち下がり時間 (所定の電圧での飽和透過率状態から当該透過率の10 %の透過率となる時間) での応答速度は、高電圧 (5 V程度) 印加の際には、夫々0.6～0.9ms、0.2～0.3msであり、低電圧 (1 V程度) 印加の際には、夫々1.6～2.1ms、0.3～0.5msであり、一般的なネマチック液晶でのスイッチングに比較しても高速応答性が確認された。

【0 1 3 7】4. イオン量及び電圧保持率の測定

素子サンプルA (1) ～G (1) について、Tc-T=10℃における内部イオンの再配置分 (Qt) ならびに電圧保持率、セルでの実液晶抵抗値の測定を行なった。

【0 1 3 8】結果を表5～表7に示す。ここで、表6中の液晶の体積抵抗値は、セルギャップ2μmのAl電極セル中で測定された値であるが、素子サンプルA (1) ～G

(1) の実液晶抵抗値から算出される値とほぼ完全に一致している。また、表7中の算出電圧保持率は、セルでの実液晶抵抗値と液晶容量 (2nF) から時定数計算され

たものである。

【0139】測定には株式会社東陽テクニカ社製液晶電圧保持率測定システム（VHR-1A/S型）ならびに液晶セルイオン密度測定システムを用い、印加電圧は±5Vとし、ゲート信号オフ時から16.7msec後の内部電圧の値を測

* 定し、印加電圧5Vとの比を算出することにより夫々のサンプルにおける電圧保持率を求めた。

【0140】

【表5】

表 5

	A	B	C	D	E	F	G
Qt (nC/cm ²)	46	35	23	14	7.8	5.2	3.9

【0141】

※10※ 【表6】
表 6

	A	B	C	D	E	F	G
電圧保持率 (%)	12	31	53	66	81	84	88

【0142】

★ ★ 【表7】
表 7

	A	B	C	D	E	F	G
セル中での実液晶抵抗値 (Ω)	2.8×10^8	3.7×10^8	5.1×10^8	6.6×10^8	7.2×10^8	8.7×10^8	1.0×10^9
体積抵抗値 (Ω cm)	1.8×10^{12}	2.4×10^{12}	3.3×10^{12}	4.3×10^{12}	4.6×10^{12}	5.6×10^{12}	6.5×10^{12}
抵抗成分から換算される電圧保持率 (%)	97.1	97.8	98.4	98.7	98.8	99.0	99.2

【0143】5. パネル評価TFTを用いたアクティブマトリクスパネルであるサンプルA (2) ~G (2) を用いてパ

☆す。

ネルの画質評価を主観評価した。その結果を表8に示

【0144】

【表8】

表 8

	A	B	C	D	E	F	G
画面の明るさ (白表示)	非常に暗い	暗い	やや暗い	やや暗い	明るい	明るい	明るい
階調安定性 (色再現性)	悪い	やや悪い	良好	良好	良好	良好	良好
残像	あり	少しあり	なし	なし	なし	なし	なし
動画像表示	×	×	良好	良好	良好	良好	良好

【0145】この結果から分かる通り、C(2)及びD(2)はやや暗いが、色再現性や残像の問題はなく、高速応答性能による動画像の表示も良好な高画質の液晶ディスプレイが実現出来ている。さらに、E(2)、F(2)、G(2)は、明るく、残像もない、色再現性や動画像の表示も良好な高画質の液晶ディスプレイが実現されている。

【0146】

【発明の効果】以上詳述したように、本発明によれば、カイラルスメクチック相を示す液晶を用いた液晶素子であって、高速応答且つ階調制御が可能であり、動画質に優れた液晶素子が提供される。

【図面の簡単な説明】

【図1】 (a) 及び (b) : SSFLC型の素子にお

る液晶配向状態での液晶分子及び液晶の層構造を示す模式図。

【図2】 (a) 及び (b) : 図1 (a) 及び (b) に示す液晶配向状態における、ダイレクタを示す模式図。

【図3】 (a) : SSFLCにおける各液晶相での配向状態を示す模式図。

(b) : 本発明の液晶素子の一態様における各液晶相での配向状態を示す模式図。

【図4】 (a) ~ (c) カイラルスメクチック液晶を用いた素子におけるポテンシャルの状態について示す模式図。

【図5】 本発明の液晶素子の一態様におけるカイラルスメクチック液晶相での配向状態を示す模式図。

【図 6】 (a) ~ (c) : 本発明の液晶素子の一態様におけるカイラルスメクチック液晶相での電圧印加による液晶分子の反転挙動を示す模式図。

【図 7】 (a) : 本発明の液晶素子における液晶の配向状態の一例を示す模式図。

(b) : 本発明の液晶素子における液晶の配向状態の他の例を示す模式図。

【図 8】 本発明の液晶素子における電圧-透過率特性の一例を示す線図。

【図 9】 (a) 及び (b) : SSFLC における双安定 10 配向状態でのポテンシャルの状態を C1 配向状態、C2 配向状態の夫々について示す模式図。

【図 10】 (a) 及び (b) : 本発明の液晶素子における配向状態でのポテンシャルの状態を C1 配向状態、C2 配向状態の夫々について示す模式図。

【図 11】 本発明の液晶素子の一実施態様を示す断面図。

【図 12】 本発明の液晶素子をアクティブマトリクス型の素子に適用した場合の構成例を示す平面図。

【図 13】 本発明の液晶素子をアクティブマトリクス型*20

*の素子に適用した場合の一面素の構成例を示す断面図。

【図 14】 図 13 に示す素子構造の等価回路を示す図。

【図 15】 本発明の液晶素子をアクティブマトリクス駆動する際の駆動波形及び光学特性の一例を示す図。

【図 16】 本発明の液晶素子における電圧-透過率特性の他の例を示す線図。

【符号の説明】

11、12 基板

13 液晶

14、14a、14b、14c 液晶分子

15 コーン

16 スメクチック層

17 コーン底面

18a、18b Cダイレクタ

81a、81b 基板

82a、82b 電極

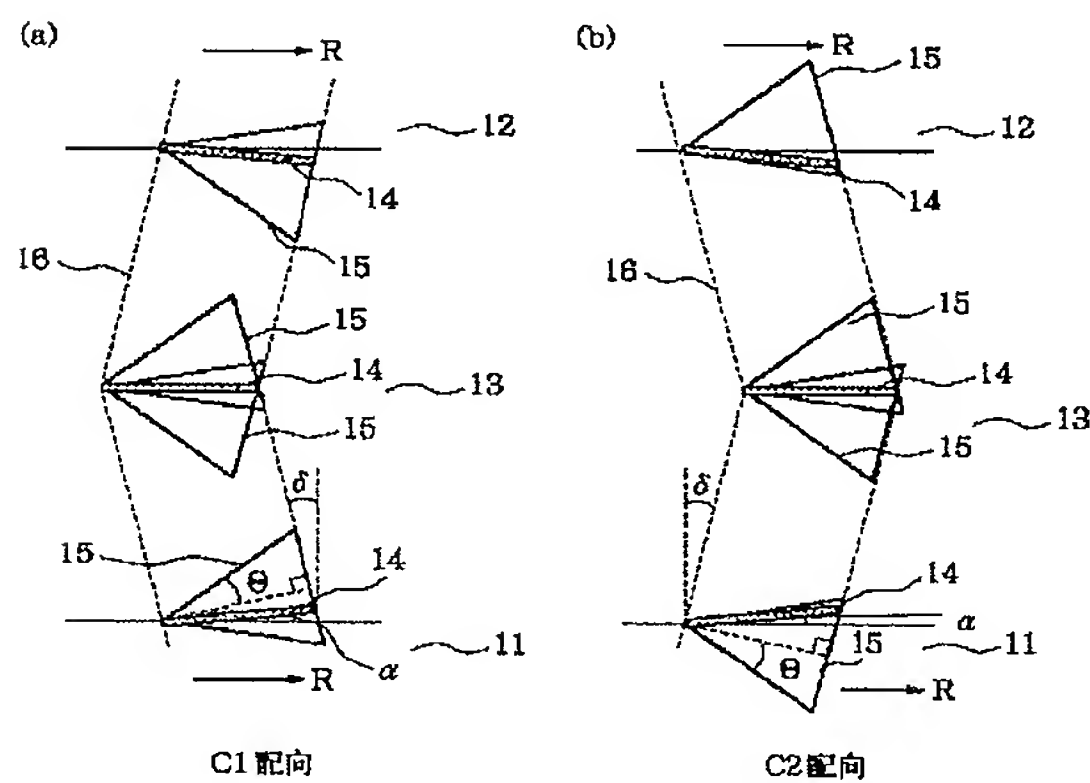
83a、83b 絶縁膜

84a、84b 配向制御膜

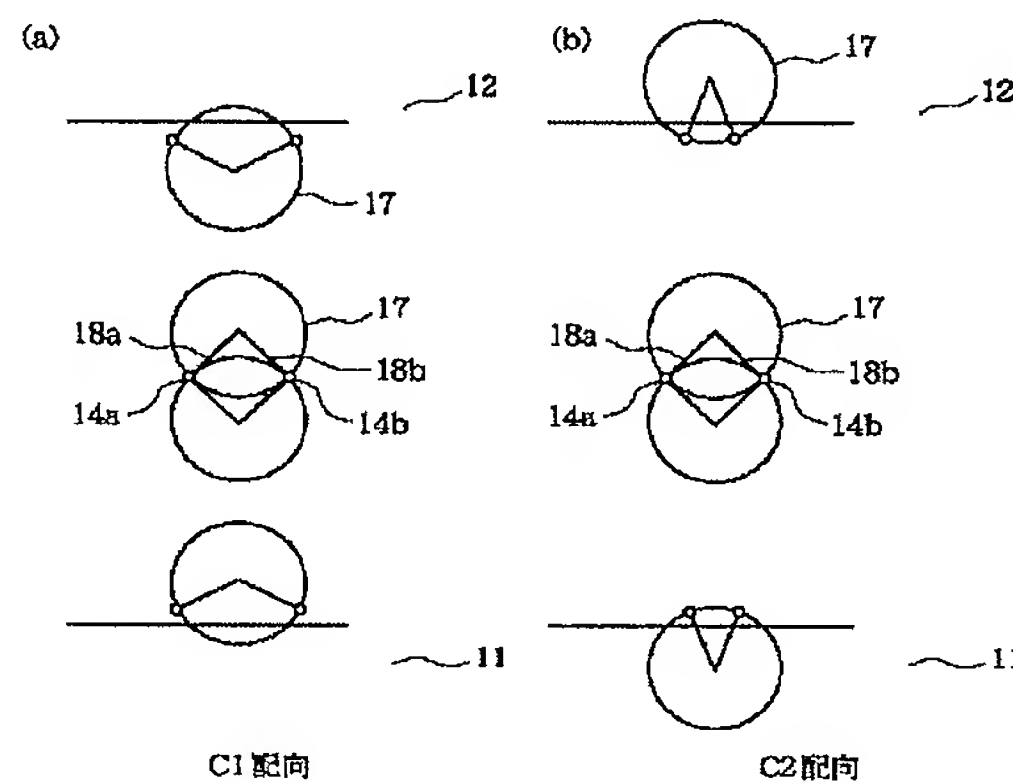
85 カイラルスメクチック液晶

86 スペーサー

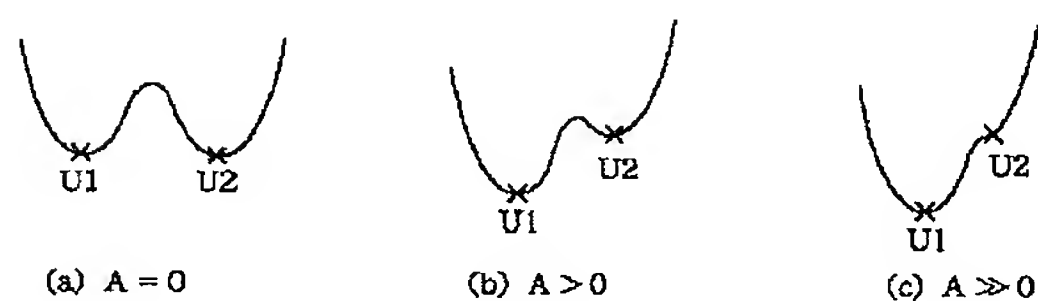
【図 1】



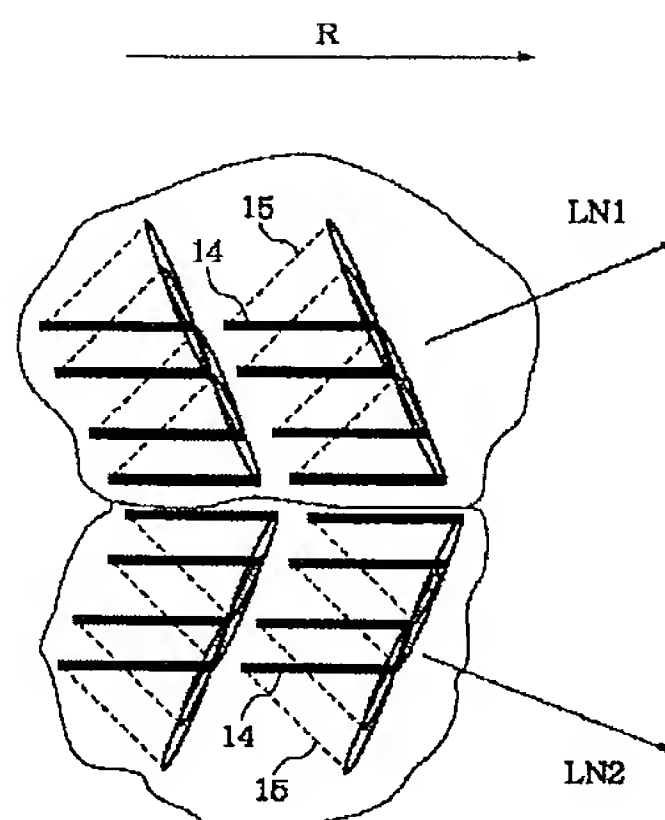
【図 2】



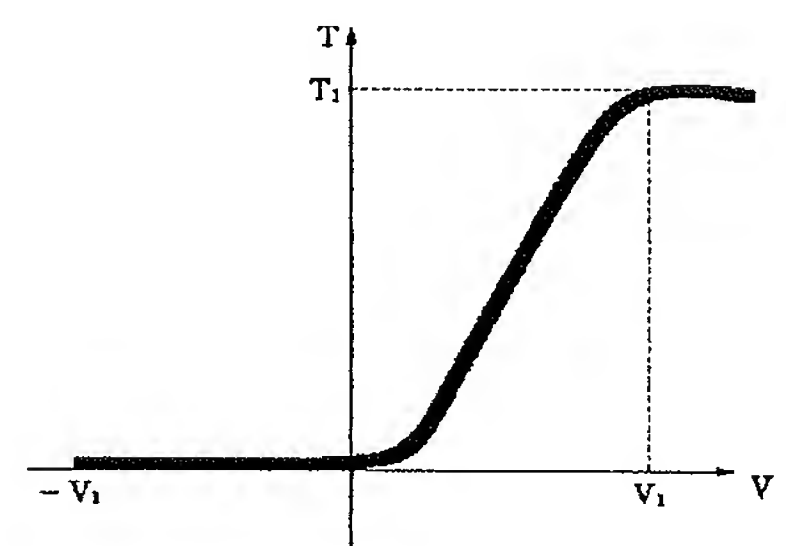
【図 4】



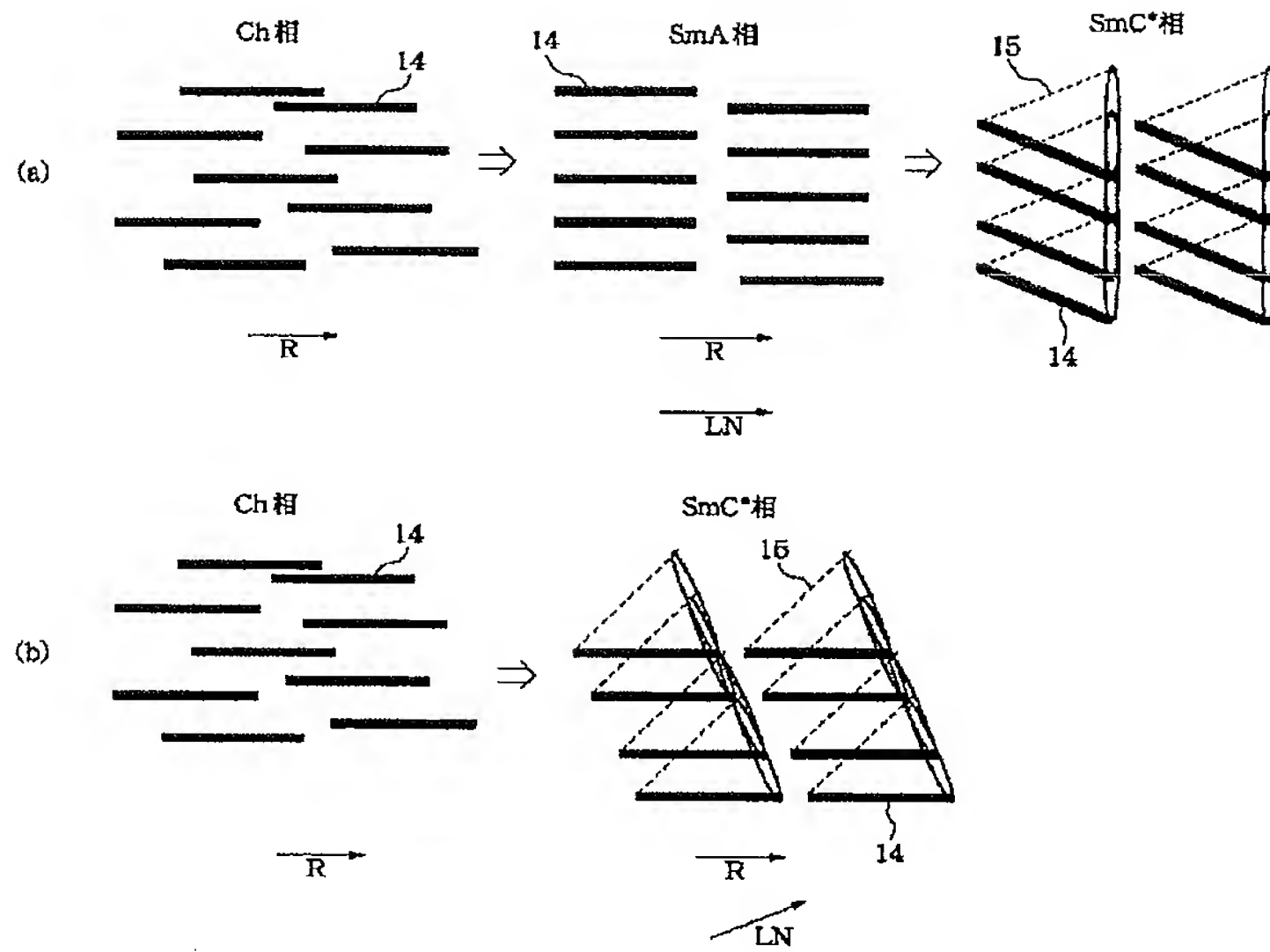
【図 5】



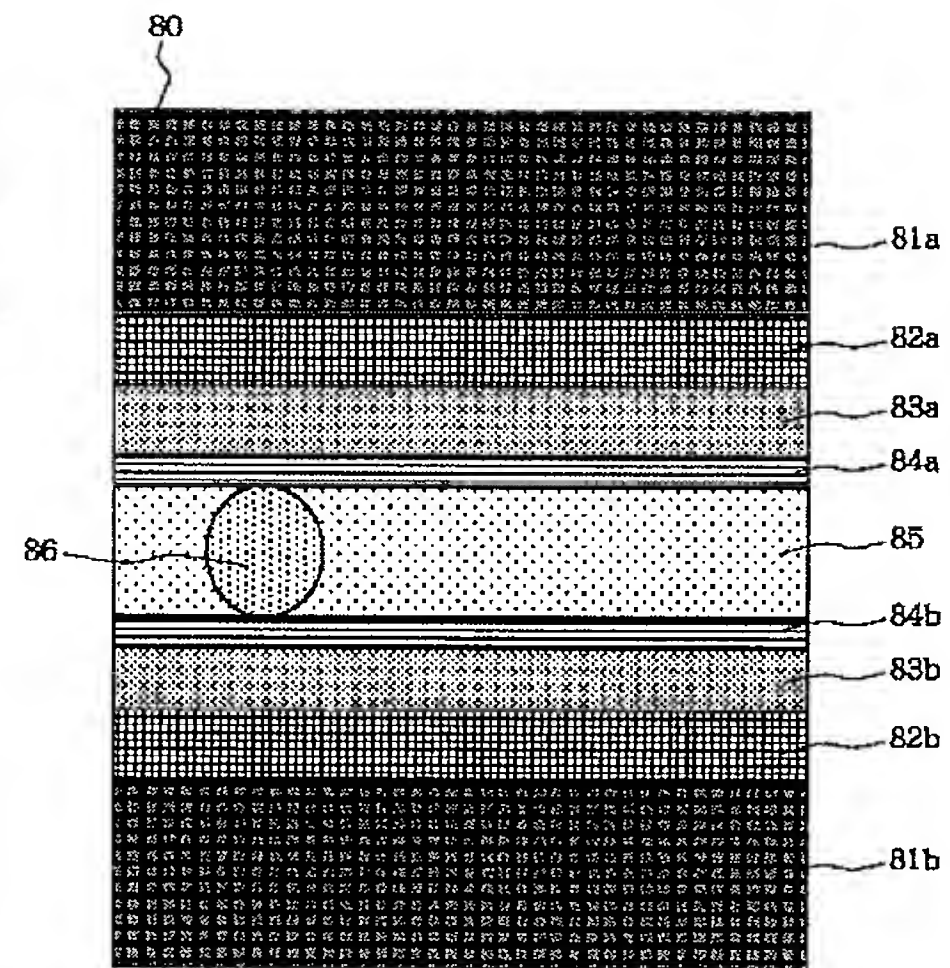
【図 8】



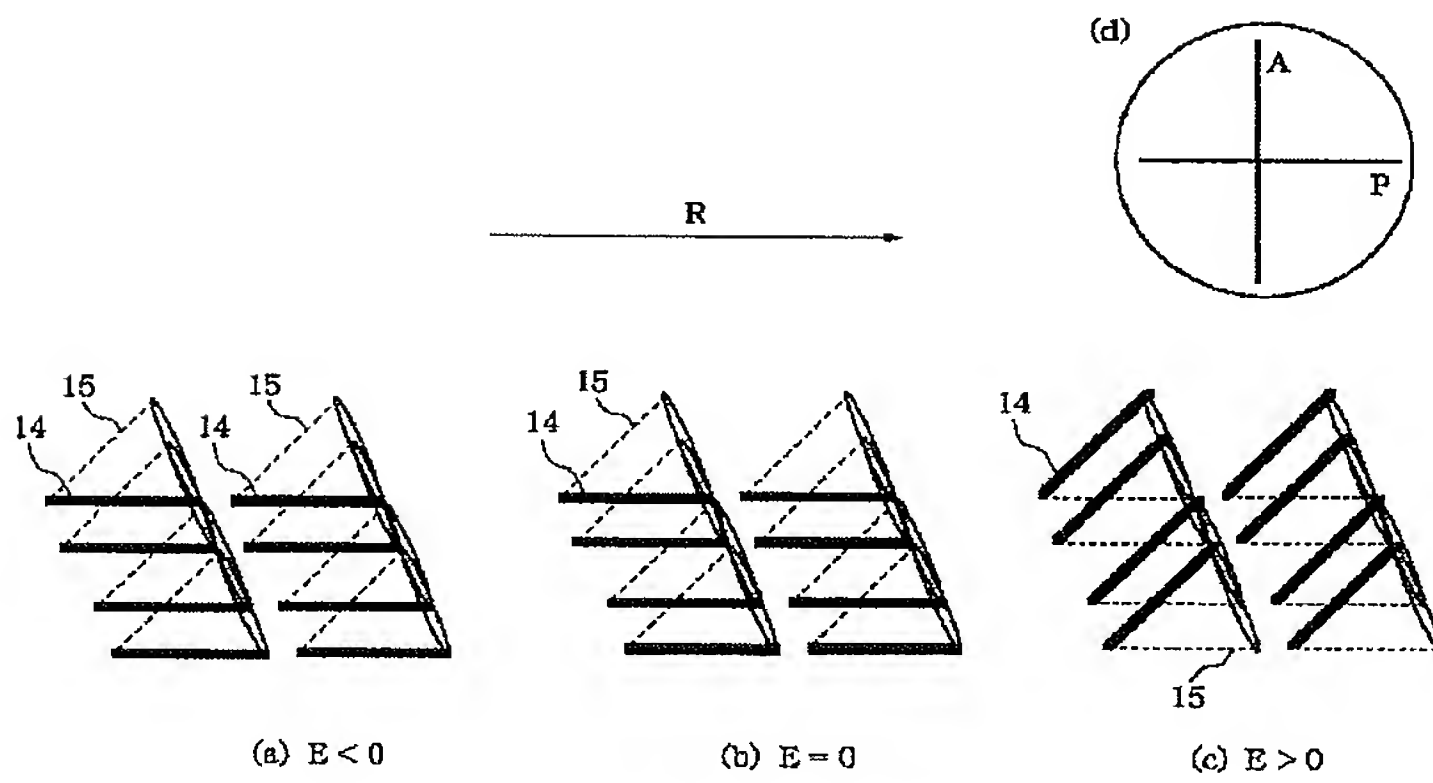
【図3】



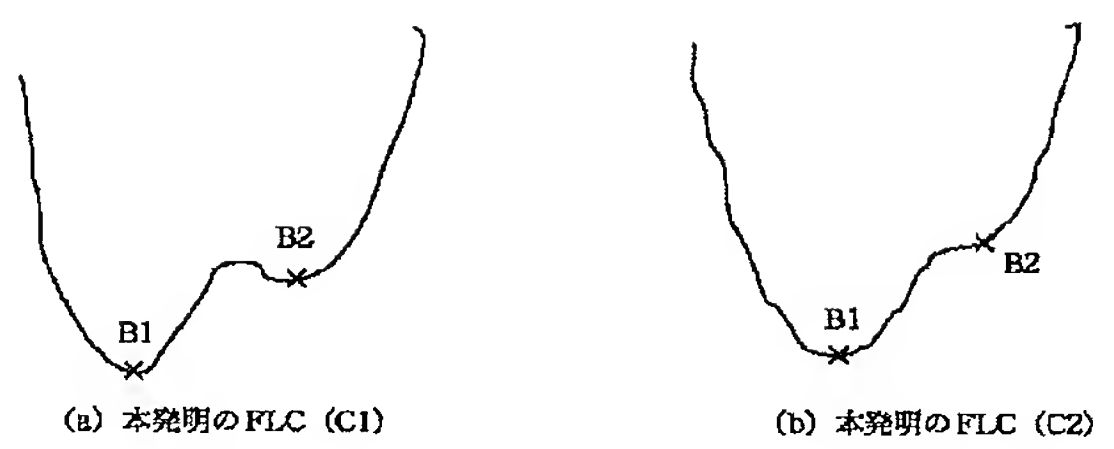
【図11】



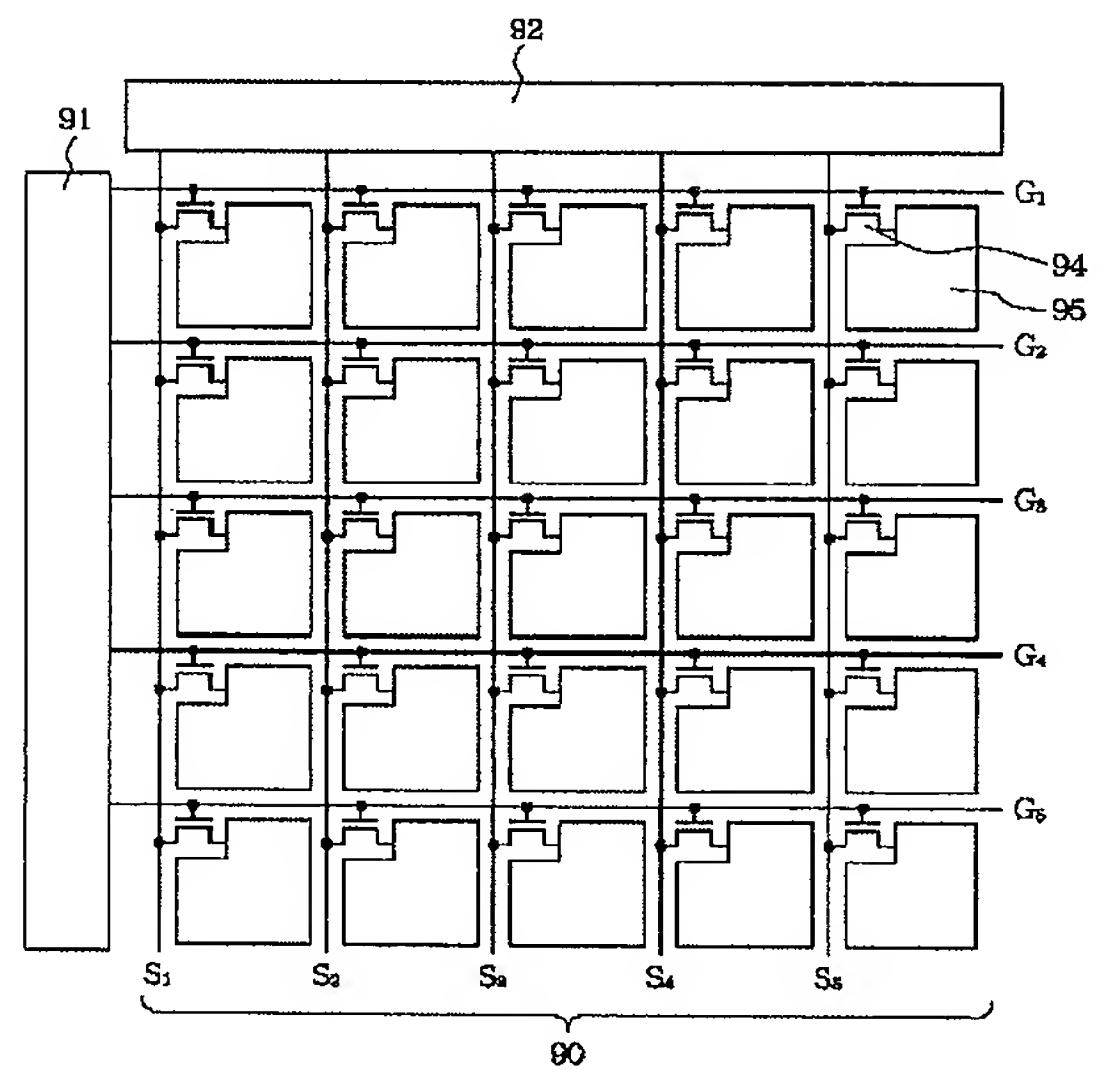
【図6】



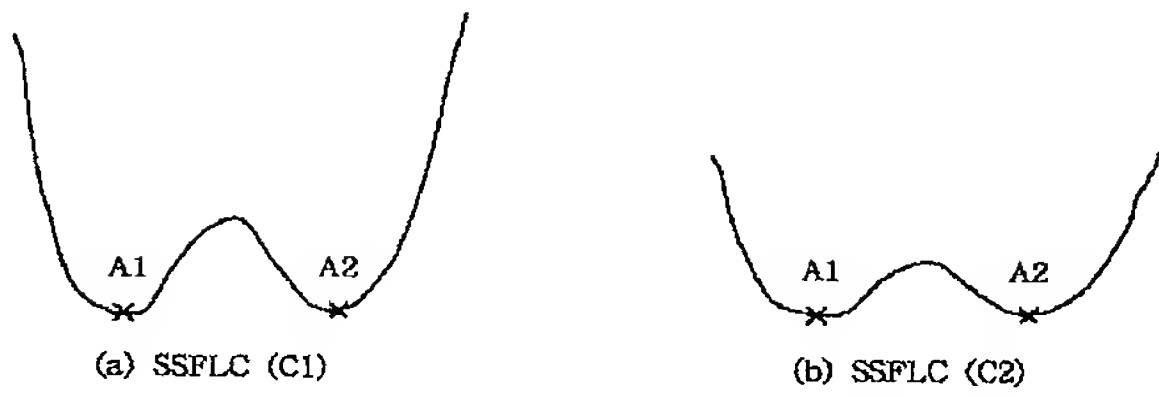
【図10】



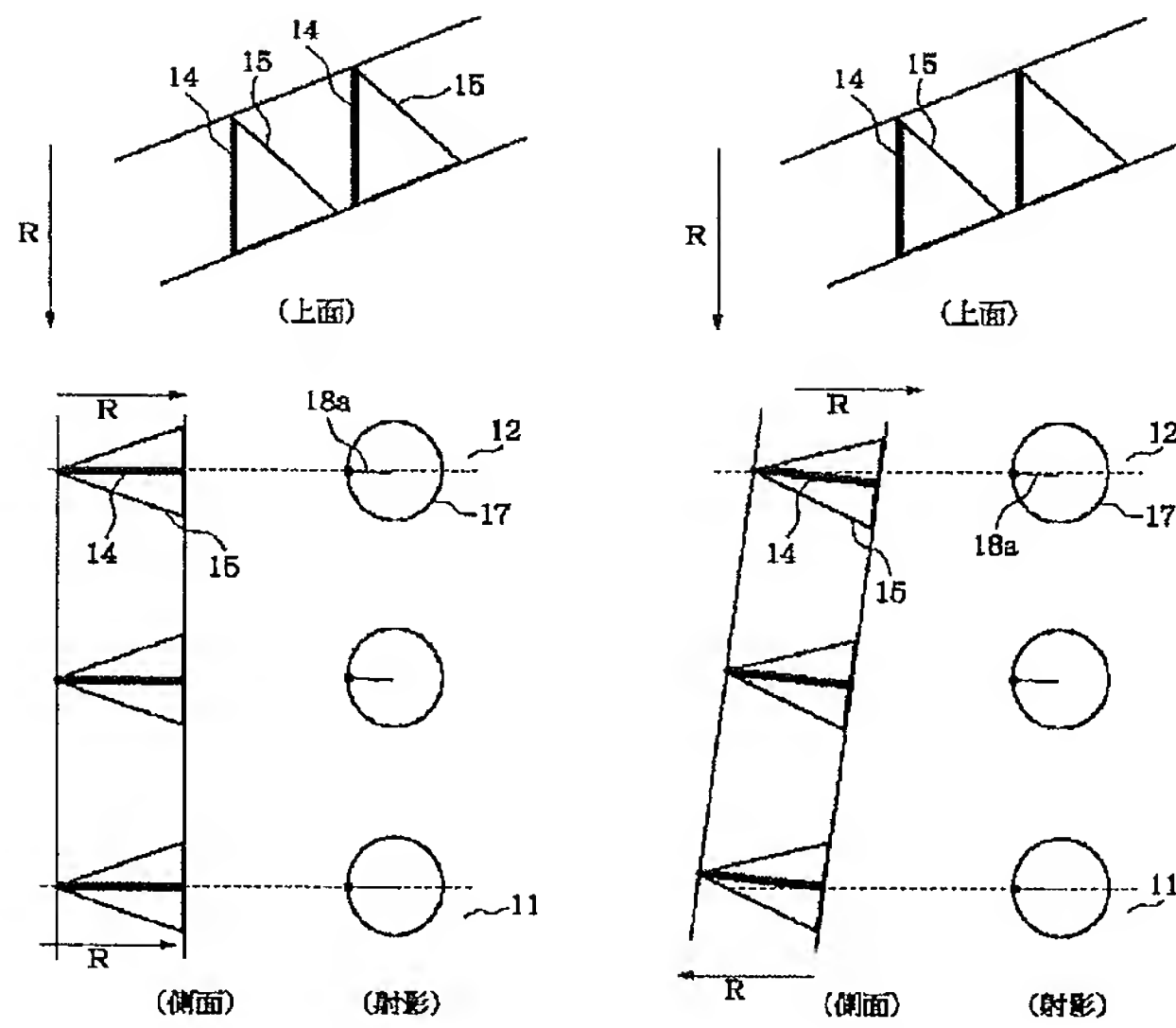
【図12】



【図9】



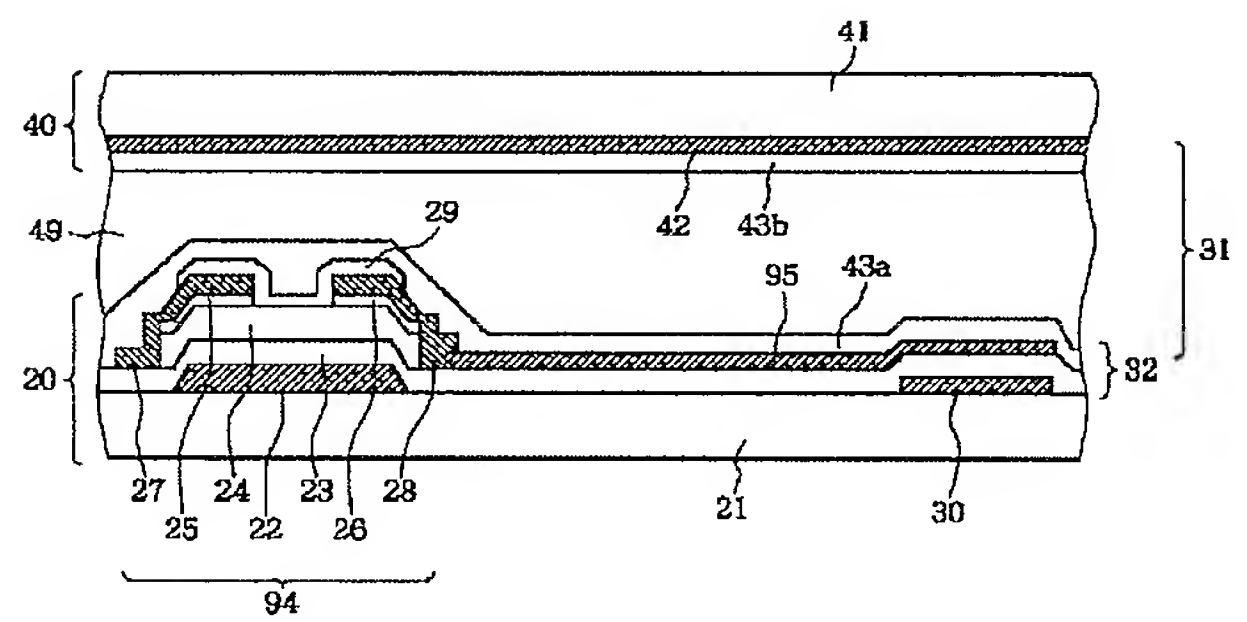
【図7】



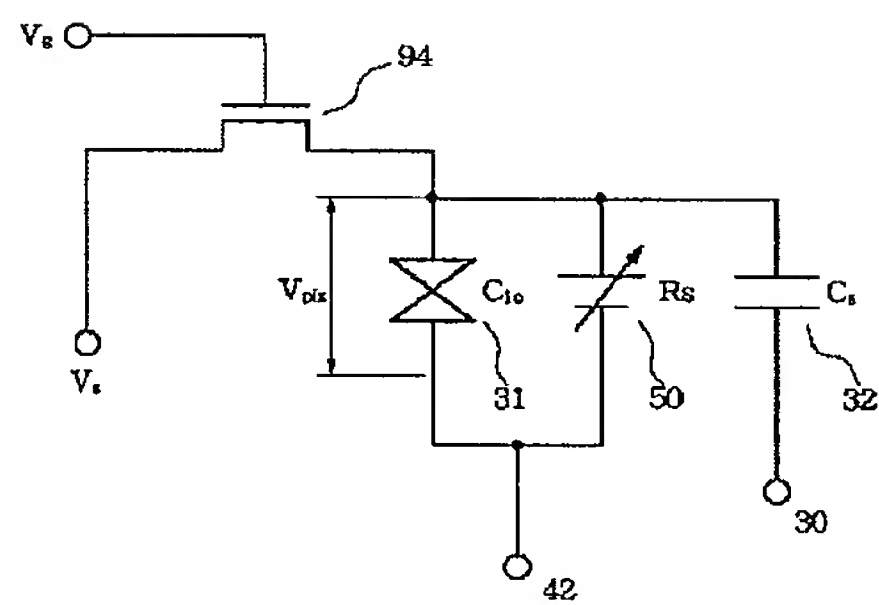
(a) ブックシェルフ配向

(b) 斜めブックシェルフ配向

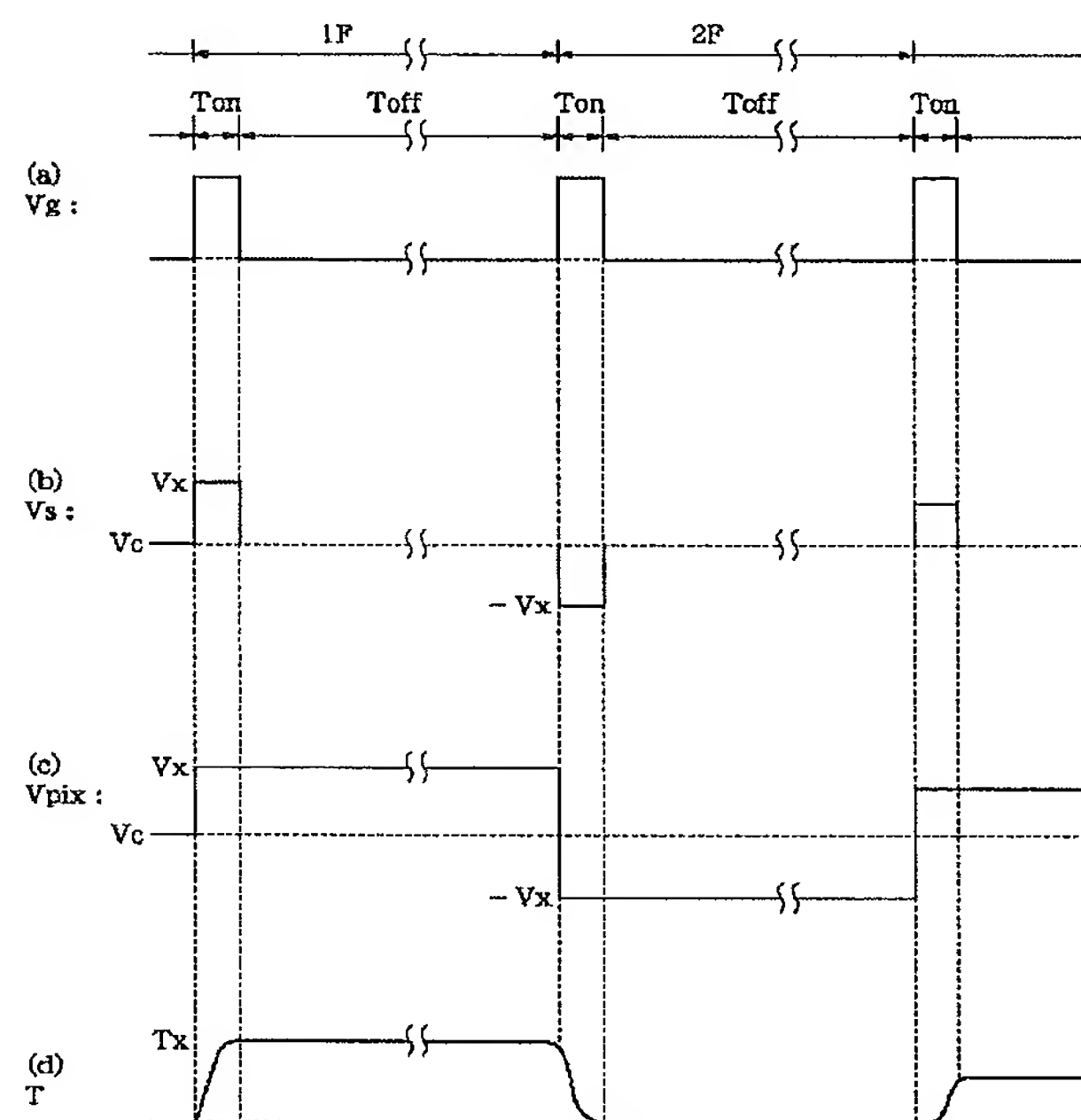
【図13】



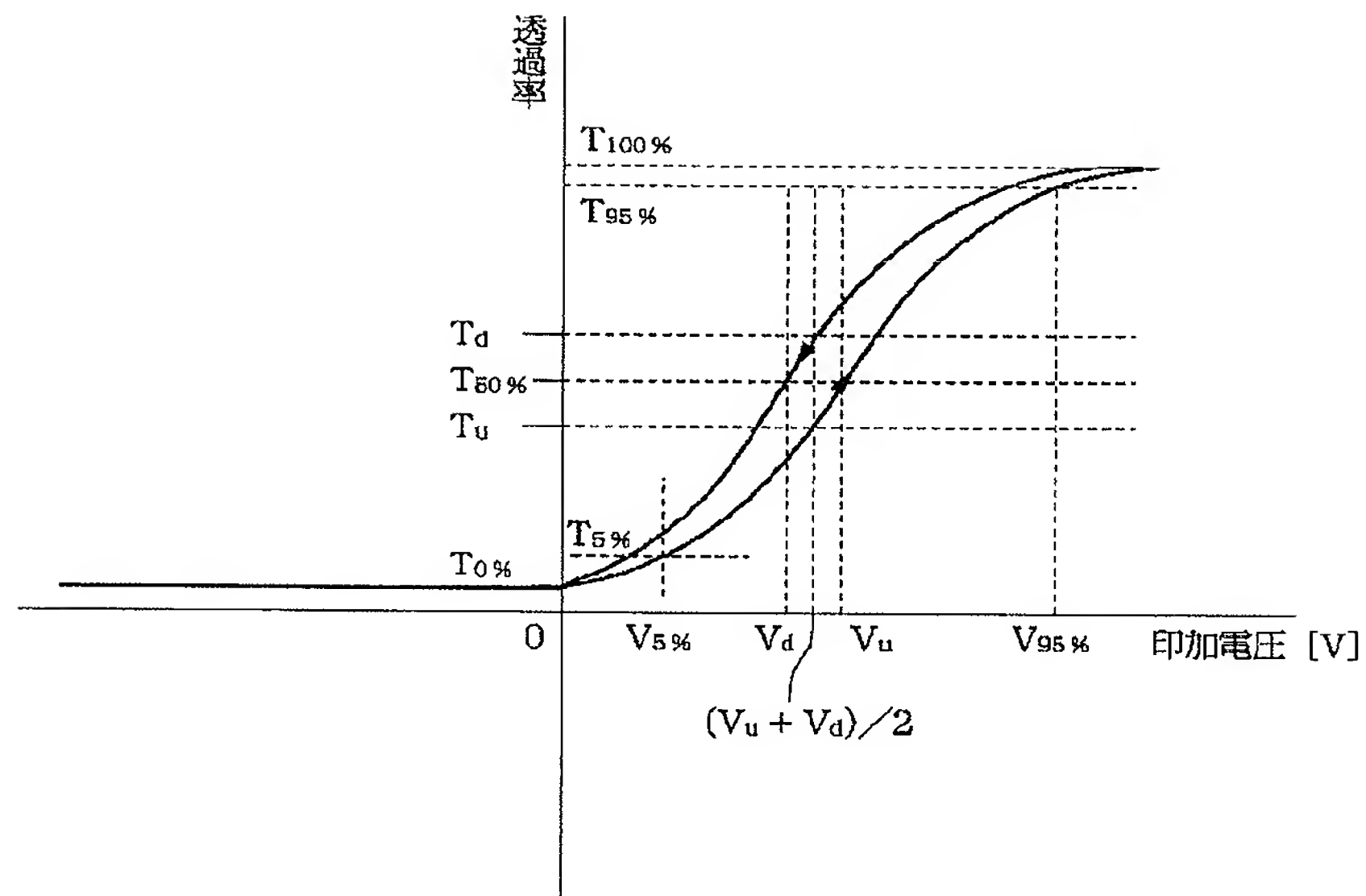
【図14】



【図15】



【図 16】



フロントページの続き

(72)発明者 門叶 剛司
東京都大田区下丸子 3 丁目 30 番 2 号キャノ
ン株式会社内

(72)発明者 森 省誠
東京都大田区下丸子 3 丁目 30 番 2 号キャノ
ン株式会社内

(72)発明者 森山 孝志
東京都大田区下丸子 3 丁目 30 番 2 号キャノ
ン株式会社内

(72)発明者 中村 真一
東京都大田区下丸子 3 丁目 30 番 2 号キャノ
ン株式会社内

F ターム(参考) 2H093 NA11 NA16 NA43 NA53 NC34
NC35 NC38 ND06 ND17 ND32
NE04 NF20 NH02 NH15 NH18